

Atlas 200I A2 加速模块

硬件开发指南

文档版本 02
发布日期 2023-06-09



版权所有全爱科技（上海）有限公司2021。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受华为公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，华为公司对本文档内容不做任何明示或暗示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

全爱科技（上海）有限公司

地址： 上海市闵行区剑川 930 号 D 栋 3 层 邮编： 200240

网址： www.quanai.china.com

前言

概述

本文档主要介绍Atlas 200I A2 加速模块的硬件原理图设计、PCB设计、整机ESD设计等，提供Atlas 200I A2 加速模块的硬件设计方法。





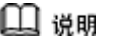
读者对象

本文档主要适用于以下人员：

- 华为技术支持工程师
- 渠道伙伴技术支持工程师
- 硬件开发工程师

符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	表示如不避免则将会导致死亡或严重伤害的具有高等级风险的危害。
 警告	表示如不避免则可能导致死亡或严重伤害的具有中等级风险的危害。
 注意	表示如不避免则可能导致轻微或中度伤害的具有低等级风险的危害。
 须知	用于传递设备或环境安全警示信息。如不避免则可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “须知”不涉及人身伤害。
 说明	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。

修改记录

文档版本	发布日期	修改说明
02	2023-06-09	修复一些Bug。
01	2023-05-05	第一次正式发布。

目录

前言.....	ii
1 产品简介.....	1
2 接口说明.....	2
2.1 连接器选型.....	2
2.2 连接器功能.....	3
3 原理图设计指南.....	10
3.1 电源设计.....	10
3.2 信号接口设计.....	11
3.2.1 SerDes 接口.....	11
3.2.2 RGMII 接口.....	14
3.2.3 SD 接口.....	15
3.2.4 eMMC 接口.....	16
3.2.5 USB 接口.....	18
3.2.6 UART 接口.....	19
3.2.7 CAN 接口.....	21
3.2.8 MIPI CSI 接口.....	22
3.2.9 MIPI DSI 接口.....	24
3.2.10 HDMI TX 接口.....	25
3.2.11 I2S 接口.....	26
3.2.12 Audio CODEC 接口.....	27
3.2.13 其他接口.....	28
3.3 启动接口设计.....	30
4 PCB 设计.....	31
4.1 SerDes 接口.....	31
4.1.1 PCIE.....	32
4.1.2 SATA.....	34
4.1.3 GE.....	35
4.1.4 USB 3.0.....	36
4.2 RGMII 接口.....	39
4.3 SD 接口.....	40
4.4 eMMC 接口.....	40
4.5 USB 2.0 接口.....	41

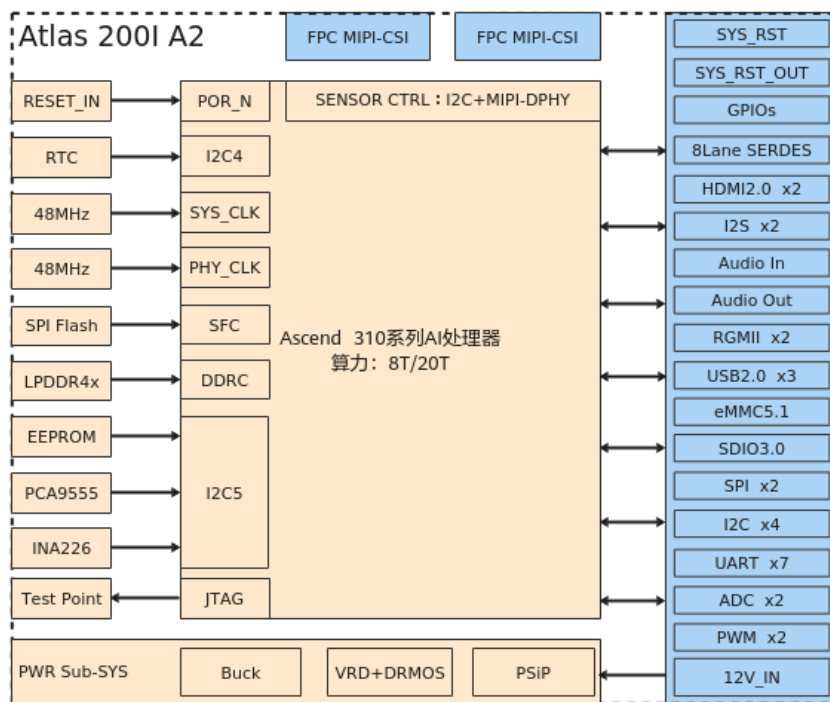
4.6 MIPI-CSI 接口.....	42
4.7 MIPI-DSI 接口.....	42
4.8 HDMI 接口.....	43
4.9 I2C 接口.....	44
4.10 I2S 接口.....	44
4.11 模拟音频接口.....	45
4.12 SPI 接口.....	45
4.13 时钟接口.....	46
4.14 其他低速接口.....	46
4.15 电源接口.....	46
5 整机 ESD 设计.....	47
A 相关文档.....	48
B 如何获取帮助.....	49
B.1 收集必要的故障信息.....	49
B.2 做好必要的调试准备.....	49
B.3 如何使用文档.....	49
B.4 获取技术支持.....	50

1 产品简介

Atlas 200I A2 加速模块是一款高性能的AI智能计算模块。集成了海思Ascend 310系列AI处理器，可以实现图像、视频等多种数据分析与推理计算，可广泛用于智能监控、机器人、无人机、视频服务器等场景。

Atlas 200I A2 加速模块的框图如图1-1所示。

图 1-1 Atlas 200I A2 加速模块系统框图



2 接口说明

- 2.1 连接器选型
- 2.2 连接器功能

2.1 连接器选型

Atlas 200I A2 加速模块采用314pin MXM连接器，可通过选择不同高度MXM连接器实现不同配高，可灵活的布局在用户产品中，型号见表2-1。

表 2-1 连接器型号

连接器高度	配合高度	供应商	型号
5.5mm	2.7mm	FOXCONN	AS0B826-S55B-7H
		FCI	10167661-001RHLF
		盛凌	1880-A02-13-3

图 2-1 连接器外观图

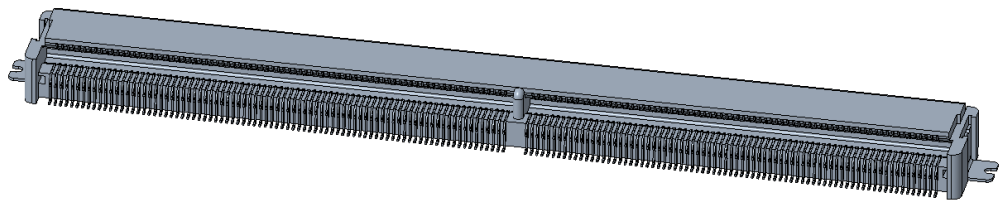
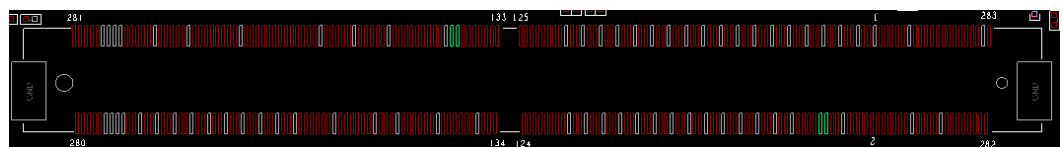


图 2-2 连接器管脚位置图



2.2 连接器功能

表 2-2 Atlas 200I A2 加速模块金手指管脚位置查询表

P-Pin (正面)	信号名称定义	S-Pin (背面)	信号名称定义
-	-	S1	VDD
P1	VDD	S2	VDD
P2	VDD	S3	VDD
P3	VDD	S4	VDD
P4	VDD	S5	VDD
P5	VDD	S6	GND
P6	GND	S7	GND
P7	GND	S8	GND
P8	GND	S9	GND
P9	GND	S10	I2S0_MCLK
P10	MIPI_DSI_CK_N	S11	I2S0_BCLK
P11	MIPI_DSI_CK_P	S12	I2S0_LRCK
P12	GND	S13	I2S0_MOSI
P13	MIPI_DSI_D3_N	S14	I2S0_MISO
P14	MIPI_DSI_D3_P	S15	GND
P15	GND	S16	I2S1_MCLK
P16	MIPI_DSI_D2_N	S17	I2S1_BCLK
P17	MIPI_DSI_D2_P	S18	I2S1_LRCK
P18	GND	S19	I2S1_MOSI
P19	MIPI_DSI_D1_N	S20	I2S1_MISO
P20	MIPI_DSI_D1_P	S21	GND
P21	GND	S22	HDMI0_CEC
P22	MIPI_DSI_D0_N	S23	HDMI0_HOTPLUG
P23	MIPI_DSI_D0_P	S24	HDMI1_CEC
P24	GND	S25	HDMI1_HOTPLUG
P25	HDMI0_SDA	S26	MIPI_DSI_SCL

P-Pin (正面)	信号名称定义	S-Pin (背面)	信号名称定义
P26	HDMI0_SCL	S27	MIPI_DSI_SDA
P27	GND	S28	DSI_I2C_INT
P28	HDMI0_TXC_N	S29	MIPI_GPIO
P29	HDMI0_TXC_P	S30	GND
P30	GND	S31	EMMC_DATA7
P31	HDMI0_TX0_N	S32	EMMC_DATA6
P32	HDMI0_TX0_P	S33	EMMC_DATA5
P33	GND	S34	EMMC_DATA4
P34	HDMI0_TX1_N	S35	EMMC_DATA3
P35	HDMI0_TX1_P	S36	EMMC_DATA2
P36	GND	S37	EMMC_DATA1
P37	HDMI0_TX2_N	S38	EMMC_DATA0
P38	HDMI0_TX2_P	S39	EMMC_DS
P39	GND	S40	EMMC_RESET
P40	RGMIIO_RXCK	S41	EMMC_CMD
P41	RGMIIO_RXDV	S42	EMMC_CLK
P42	RGMIIO_RXD0	S43	EMMC_PWR_EN
P43	RGMIIO_RXD1	S44	GND
P44	RGMIIO_RXD2	S45	SPI0_CS0
P45	RGMIIO_RXD3	S46	TPM_INT
P46	GND	S47	SPI0_CLK
P47	RGMIIO_TXCK	S48	SPI0_MOSI
P48	RGMIIO_TXEN	S49	SPI0_MISO
P49	RGMIIO_TXD0	S50	GND
P50	RGMIIO_TXD1	S51	SPI2_CS0
P51	RGMIIO_TXD2	S52	RSV
P52	RGMIIO_TXD3	S53	SPI2_CLK
P53	GND	S54	SPI2_MOSI
P54	RGMIIO_RST	S55	SPI2_MISO
P55	RGMIIO_MDIO	S56	GND

P-Pin (正面)	信号名称定义	S-Pin (背面)	信号名称定义
P56	RGMIIO_MDCK	S57	SDIO_CLK
P57	GND	S58	SDIO_CMD
P58	RGMI11_RXCK	S59	SDIO_DATA0
P59	RGMI11_RXDV	S60	SDIO_DATA1
P60	RGMI11_RXD0	S61	SDIO_DATA2
P61	RGMI11_RXD1	S62	SDIO_DATA3
P62	RGMI11_RXD2	S63	SDIO_POWER_EN
P63	RGMI11_RXD3	S64	SDIO_DETECT
P64	GND	S65	SDIO_VOUT
P65	RGMI11_TXCK	S66	GND
P66	RGMI11_TXEN	S67	UART2_TX/ CAN3_TX
P67	RGMI11_TXD0	S68	UART2_RX/ CAN3_RX
P68	RGMI11_TXD1	S69	UART2_RTX/ CAN2_RX
P69	RGMI11_TXD2	S70	UART2_CTX/ CAN2_TX
P70	RGMI11_TXD3	S71	PPS_IN/GPIO3_01
P71	GND	S72	UPDATE_MODE
P72	RGMI11_RST	S73	BOOT_SEL0
P73	RGMI11_MDIO	S74	BOOT_SEL1
P74	RGMI11_MDCK	S75	BOOT_SEL2
P75	RSV	S76	USB2.0_1_DP
P76	RSV	S77	USB2.0_1_DN
P77	USB2.0_1_OVC	S78	USB2.0_1_PWR_EN
P78	USB2.0_2_DP	S79	USB2.0_3_DP
P79	USB2.0_2_DN	S80	USB2.0_3_DN
P80	RSV	S81	USB2.0_1_VBUS
P81	RSV	S82	RSV
P82	RSV	S83	RSV

P-Pin (正面)	信号名称定义	S-Pin (背面)	信号名称定义
P83	GND	S84	GND
P84	SERDES7_RX_P	S85	SERDES7_TX_P
P85	SERDES7_RX_N	S86	SERDES7_TX_N
P86	GND	S87	GND
P87	SERDES6_RX_P	S88	SERDES6_TX_P
P88	SERDES6_RX_N	S89	SERDES6_TX_N
P89	GND	S90	GND
P90	SERDES5_RX_P	S91	SERDES5_TX_P
P91	SERDES5_RX_N	S92	SERDES5_TX_N
P92	GND	S93	GND
P93	SERDES4_RX_P	S94	SERDES4_TX_P
P94	SERDES4_RX_N	S95	SERDES4_TX_N
P95	GND	S96	GND
P96	RSV	S97	RSV
P97	RSV	S98	RSV
P98	GND	S99	GND
P99	RSV	S100	RSV
P100	RSV	S101	RSV
P101	GND	S102	GND
P102	RSV	S103	RSV
P103	RSV	S104	RSV
P104	GND	S105	GND
P105	RSV	S106	RSV
P106	RSV	S107	RSV
P107	GND	S108	GND
P108	SERDES3_RX_P	S109	SERDES3_TX_P
P109	SERDES3_RX_N	S110	SERDES3_TX_N
P110	GND	S111	GND
P111	SERDES2_RX_P	S112	SERDES2_TX_P
P112	SERDES2_RX_N	S113	SERDES2_TX_N

P-Pin (正面)	信号名称定义	S-Pin (背面)	信号名称定义
P113	GND	S114	GND
P114	SERDES1_RX_P	S115	SERDES1_TX_P
P115	SERDES1_RX_N	S116	SERDES1_TX_N
P116	GND	S117	GND
P117	SERDES0_RX_P	S118	SERDES0_TX_P
P118	SERDES0_RX_N	S119	SERDES0_TX_N
P119	GND	S120	GND
P120	SERDES_CLK0_P	S121	RSV
P121	SERDES_CLK0_N	S122	RSV
P122	GND	S123	GND
P123	UART3_TX/CAN1_TX	S124	HDMI1_SDA
P124	UART3_RX/CAN1_RX	S125	HDMI1_SCL
P125	UART3_RTX/ CAN0_RX	S126	GND
P126	UART3_CTX/ CAN0_TX	S127	HDMI1_TXC_N
P127	UART1_TX	S128	HDMI1_TXC_P
P128	UART1_RX	S129	GND
P129	UART0_TX	S130	HDMI1_TX0_N
P130	UART0_RX	S131	HDMI1_TX0_P
P131	GND	S132	GND
P132	SMBUS_SCL_S	S133	HDMI1_TX1_N
P133	SMBUS_SDA_S	S134	HDMI1_TX1_P
P134	I2C6_SCL	S135	GND
P135	I2C6_SDA	S136	HDMI1_TX2_N
P136	I2C7_SCL	S137	HDMI1_TX2_P
P137	I2C7_SDA	S138	GND
P138	I2C8_SCL	S139	GPIO4_19/ SATA_LED0/ GE_LED0

P-Pin (正面)	信号名称定义	S-Pin (背面)	信号名称定义
P139	I2C8_SDA	S140	GPIO4_20/ SATA_LED1/ GE_LED1
P140	PCIE_WAKE_N	S141	GPIO4_21/ SATA_LED2/ GE_LED2
P141	LSADC6	S142	GPIO4_22/ SATA_LED3/ GE_LED3
P142	LSADC7	S143	PCIE_EP_RC_FLAG
P143	GND	S144	GND
P144	AC_AUDIO_IN0L	S145	AC_AUDIO_OUTL
P145	AC_AUDIO_IN0R	S146	AC_AUDIO_OUTR
P146	AGND	S147	AGND
P147	AC_MICBIAS	S148	UHT_POWER_DOW N
P148	GND	S149	POWER_EN
P149	PERST_N0/GPIO0_00	S150	POWEROFF_IN 说明 输入管脚，低电平 关机，高电平开 机。
P150	PERST_N1/GPIO0_01	S151	SYS_RST_IN 说明 系统复位输入，低 电平有效。
P151	PERST_N2/GPIO0_02	S152	NA
P152	PERST_N3/GPIO0_03	S153	SYS_RST_OUT
P153	GPIO1_00/ FAN_PWM0	S154	SLEEP_IN 说明 休眠唤醒输入，高 电平进入休眠。
P154	GPIO1_01/ FAN_PWM1	S155	SLEEP_OUT
P155	GPIO0_24/ FAN_TECH0	S156	POWEROFF_OUT
P156	GPIO0_25/ FAN_TECH1	S157	GND

P-Pin (正面)	信号名称定义	S-Pin (背面)	信号名称定义
-	-	S158	V_BAT_3V0

3 原理图设计指南

若客户需参考华为Atlas 200I A2 加速模块底板设计自己的产品，请严格按照《[Atlas 200I A2 加速模块 底板电路参考设计](#)》进行底板设计。

3.1 电源设计

3.2 信号接口设计

3.3 启动接口设计

3.1 电源设计

电压和电流

Atlas 200I A2 加速模块只有一个电源输入，信号名VDD，输入电压为12V（±5%），要求12V母线电容大于100μF。

对于20TOPS功耗的Atlas 200I A2 加速模块，要求供电能力大于3.5A，对于8TOPS功耗的Atlas 200I A2 加速模块，要求供电能力大于2.5A。

功耗

在不同的算力场景和不同内存规格下，Atlas 200I A2 加速模块的功耗数据如[表3-1](#)所示，使用Atlas 200I A2 加速模块时请根据对应的算力提供足够的电流。

表 3-1 Atlas 200I A2 加速模块功耗规格

功耗类型	8TOPS功耗（单位W）	20TOPS功耗（单位W）
典型功耗	21	25
待机功耗	9.2	8.1
休眠功耗	1.08	1.08

上电使能

Atlas 200I A2 加速模块内部集成电源管理，VDD上电后由POWER_EN使能，完成Atlas 200I A2 加速模块系统的上电。POWER_EN高电平有效，建议使用1.8V或3.3V电平。

说明

Atlas 200I A2 加速模块上电后不允许带电插拔，主板下电的情况下才允许插拔Atlas 200I A2 加速模块。

3.2 信号接口设计

3.2.1 SerDes 接口

Atlas 200 AI加速模块提供了灵活的片上高速SerDes组网模块，可以根据不同产品的应用场景，实现GE，USB 3.0，PCIe和SATA的灵活组网。

Atlas 200 AI加速模块提供8个SerDes lane，分布在2个SerDes Macro中。

SerDes 支持标准

- GE-1000BASE-R (1.25Gbps)，SGMII (3.125Gbps/1.25Gbps，支持2.5GE和GE)；
- USB3.0 (5Gbps)；
- SATA 3.0 (6Gbps)，向下兼容SATA 2.0 (3Gbps)和SATA 1.0 (1.5Gbps)；
- PCIe Gen3 (8Gbps)，向下兼容PCIe Gen2 (5Gbps)和PCIe Gen1 (2.5Gbps)；
- PCIE0支持RC/EP模式（通过PCIE_EP_RC_FLAG管脚配置），其他PCIE只支持RC模式；
- Macro0中若存在PCIE和其他协议共存，则PCIE只能支持到PCIE GEN2；
- PCIE支持降lane应用，如PCIE x4降lane到PCIE x2/x1；
- USB0只支持USB3.0 HOST，USB1~USB3支持USB3.0 HOST+DEVICE。

SerDes 复用关系说明

表 3-2 RC 模式下 SerDes 复用为 PCIe

Macro 0				Macro 1			
SerDes 0	SerDes 1	SerDes 2	SerDes 3	SerDes 4	SerDes 5	SerDes 6	SerDes 7
PORT 0 (X4/X2/X1)				-	-	-	-
-	-	-	PORT 1 (X1)	-	-	-	-
-	-	-	-	PORT 2 (X2/X1)		-	-

Macro 0				Macro 1			
-	-	-	-	-	-	PORT 3 (X1)	-

表 3-3 EP 模式下 SerDes 复用为 PCIe

Macro 0				Macro 1			
SerDes 0	SerDes 1	SerDes 2	SerDes 3	SerDes 4	SerDes 5	SerDes 6	SerDes 7
PORT 0 (X4/X2/X1)				-	-	-	-

表 3-4 复用关系汇总

Macro 0				Macro 1			
SerDes 0	SerDes 1	SerDes 2	SerDes 3	SerDes 4	SerDes 5	SerDes 6	SerDes 7
PCIE0	PCIE0	PCIE0	PCIE0/PCIE1	PCIE2	PCIE2	PCIE3	-
SATA0	SATA1	SATA2	SATA3	-	-	-	-
-	-	-	-	USB3.0 (Host only, USB3.0 only)	USB3.0	USB3.0 (Host only)	USB3.0 (Host only)
-	-	-	-	xGE	xGE	-	-

说明

- 接口不使用时，不使用的lane可以悬空。
- SerDes 0~SerDes 7对应的金手指管脚位置请参见表2-2。

支持场景

Atlas 200I A2 加速模块支持的SerDes复用关系如所示。

表 3-5 Macro0 SerDes 复用关系表

典型使用场景	SerDes 0	SerDes 1	SerDes 2	SerDes 3
NVR 64路	SATA	SATA	SATA	SATA

典型使用场景	SerDes 0	SerDes 1	SerDes 2	SerDes 3
ITS全息路口	PCIe x1 (RC)	SATA	SATA	PCIe x1
输电线/抓拍机	-	-	-	-
配电房巡检	SATA	SATA	SATA	SATA
工业制造1	PCIe x1 (RC)	SATA	SATA	PCIe x1
工业制造2	PCIe x1 (RC)	SATA	SATA	PCIe x1
V2X车路协同	PCIe x1 (RC)	-	-	-
开发者生态1	PCIe x4 (RC)			
标卡	PCIe x4 (EP)			
开发者生态2	SATA	-	-	-
边缘小站1	SATA	-	SATA	SATA
边缘小站2	PCIe x2 (RC)		SATA	SATA
NVR(主从级联的从模式)	PCIe x4 (EP)			
边缘盒子1	PCIe x2		-	PCIe x1
边缘盒子2	-	-	SATA	PCIe x1
边缘盒子3	PCIe x2		SATA	PCIe x1
边缘盒子4	SATA	-	SATA	PCIe x1

表 3-6 Macro1 SerDes 复用关系表

典型使用场景	SerDes 4	SerDes 5	SerDes 6	SerDes 7
NVR 64路	PCIe x2		USB3.0	USB3.0
ITS全息路口	GE	GE	USB3.0	USB3.0
输电线/抓拍机	-	-	PCIe x1/ USB3.0	USB3.0
配电房巡检	PCIe x1	-	USB3.0	USB3.0
工业制造1	USB3.0	USB3.0	USB3.0	USB3.0
工业制造2	GE	GE	USB3.0	USB3.0
V2X车路协同	GE	-	USB3.0	USB3.0
开发者生态1	USB3.0	USB3.0(device)	PCIe x1	USB3.0
标卡	-	-	-	USB3.0

典型使用场景	SerDes 4	SerDes 5	SerDes 6	SerDes 7
开发者生态2	USB3.0	USB3.0(device)	PCIe x1	USB3.0
边缘小站1	PCIe x1	USB3.0	PCIe x1	USB3.0
边缘小站2	PCIe x1	USB3.0	PCIe x1	USB3.0
NVR(主从级联的从模式)	PCIe x2		USB3.0	USB3.0
边缘盒子1	GE	GE	USB3.0	USB3.0
边缘盒子2	GE	GE	USB3.0	USB3.0
边缘盒子3	PCIe x2		USB3.0	USB3.0
边缘盒子4	PCIe x2		USB3.0	USB3.0

说明

Atlas 200I A2 加速模块只支持如上场景复用，超出此范围的场景请联系FAE确认，两个Macro相互独立，不需要局限于表中两个Macro的搭配方式。

3.2.2 RGMII 接口

Atlas 200I A2 加速模块集成有两个RGMII控制器，外部需要一个RGMII PHY芯片，转换后对接RJ45接口。

信号设计要求

表 3-7 信号设计要求

管脚名称	主功能	功能描述
MDC	MDC	MDIO接口时钟输出。Atlas 200I A2 加速模块内直连输出。建议用户串0Ω电阻。
MDIO	MDIO	MDIO接口数据输入/输出信号。用户板做外部4.7-10K电阻上拉。上拉需要用1V8。
RGMII_RST	EPHYRST	外部GE PHY器件复位信号，低有效。建议用户板预留外部4.7-10K上拉电阻。上拉需要用1V8。
RGMII_RXDV	RXDV	RGMII接口接收数据有效信号。建议用户在PHY芯片侧串33Ω电阻，并使用5pF电容接地。
RGMII_RXCK	RXCK	RGMII接收时钟。建议用户在PHY芯片侧串33Ω电阻，并使用5pF电容接地。
RGMII_RXD3	RXD3	RGMII接收数据3。建议用户在PHY芯片侧串33Ω电阻，并使用5pF电容接地。

管脚名称	主功能	功能描述
RGMII_RXD2	RXD2	RGMII接收数据2。建议用户在PHY芯片侧串33Ω电阻，并使用5pF电容接地。
RGMII_RXD1	RXD1	RGMII接收数据1。建议用户在PHY芯片侧串33Ω电阻，并使用5pF电容接地。
RGMII_RXD0	RXD0	RGMII接收数据0。建议用户在PHY芯片侧串33Ω电阻，并使用5pF电容接地。
RGMII_TXEN	TXEN	RGMII接口发送数据有效信号。Atlas 200I A2 加速模块内已串33Ω电阻。建议用户在连接器侧串0Ω电阻，并使用5pF电容接地。
RGMII_TXCK	TXCK	RGMII发送时钟。Atlas 200I A2 加速模块内已串33Ω电阻。建议用户在连接器侧串0Ω电阻，并使用5pF电容接地。
RGMII_TXD3	TXD3	RGMII发送数据3。Atlas 200I A2 加速模块内已串33Ω电阻。建议用户在连接器侧串0Ω电阻，并使用5pF电容接地。
RGMII_TXD2	TXD2	RGMII发送数据2。Atlas 200I A2 加速模块内已串33Ω电阻。建议用户在连接器侧串0Ω电阻，并使用5pF电容接地。
RGMII_TXD1	TXD1	RGMII发送数据1。Atlas 200I A2 加速模块已串33Ω电阻。建议用户在连接器侧串0Ω电阻，并使用5pF电容接地。
RGMII_TXD0	TXD0	RGMII发送数据0。Atlas 200I A2 加速模块内已串33Ω电阻。建议用户在连接器侧串0Ω电阻，并使用5pF电容接地。

📖 说明

如果RGMII接口不使用，且复用的其他功能也不使用，管脚悬空处理即可。

3.2.3 SD 接口

Atlas 200I A2 加速模块上集成了1个SDIO接口，可以连接SDIO接口的设备。

SDIO控制符合以下协议的设备：

- SD Specification Part 1 Physical Layer Specification Version 3.01
- SDIO 3.0

说明

- 根据环境温度以及可靠性要求，建议使用工业级Micro SD卡。
- Micro SD卡是基于Flash存储介质。当前业界使用较多的是NAND Flash，NAND Flash通过使用Floating Gate存储电子实现数据存储，电子在反复穿过Floating Gate后，会导致Floating Gate存储电子的能力变弱，最终导致击穿而无法存储数据。该特性是NAND Flash的通病，因此在使用NAND Flash时，要充分评估应用业务的写入数据量，避免提前写穿导致器件失效。
- 关于SD卡应用场景的详细说明，请参考《SD卡技术白皮书》。

信号设计要求

表 3-8 信号设计要求

管脚名称	主功能	功能描述
SD_DATA0	DATA 0	SD卡数据0。Atlas 200I A2 加速模块内已串33Ω 电阻。建议用户在SD卡连接器侧串33Ω电阻。
SD_DATA1	DATA 1	SD卡数据1。Atlas 200I A2 加速模块内已串33Ω 电阻。建议用户在SD卡连接器侧串33Ω电阻。
SD_DATA2	DATA 2	SD卡数据2。Atlas 200I A2 加速模块内已串33Ω 电阻。建议用户在SD卡连接器侧串33Ω电阻。
SD_DATA3	DATA 3	SD卡数据3。Atlas 200I A2 加速模块内已串33Ω电阻。建议用户在SD卡连接器侧串33Ω电阻。
SD_DETECT	DETECT	SD卡检测信号，低有效，该信号功能由GPIO3_08完成。建议用户在SD卡连接器侧串100Ω电阻。此信号需使用10KΩ电阻上拉至SD_VOUT。
SD_VOUT	VOUT	3.3V/1.8V电源输出管脚，用于CMD/DATA/DETECT/CLK信号上拉。
SDIO_CLK	CLK	SD卡时钟，Atlas 200I A2 加速模块内已串22Ω电阻。此信号需要在MXM连接器侧通过240-300Ω电阻上拉至SD_VOUT，通过100Ω电阻下拉至GND。用户须在SD卡连接器侧串33Ω电阻。
SDIO_CMD	CMD	SD卡命令。建议用户在SD卡连接器侧串33Ω电阻。
SDIO_POWER_EN	POWER_EN	SDIO电源使能控制信号，高有效。

3.2.4 eMMC 接口

Atlas 200I A2 加速模块提供一个eMMC (Embedded Multi-Media Card)控制器用于处理对eMMC器件的命令收发、数据读写等操作。

eMMC控制器具有以下特点：

- 支持速率：eMMC支持的模式为HS400（最高带宽400Mbps）与HS200模式（最高带宽200Mbps）。

- 支持Auto-tuning功能。
- 支持AMBA (AHB/APB) 总线接口。
- 支持SDMA/ADMA2方式的DMA传输。
- 支持命令、数据的CRC校验。

信号设计要求

表 3-9 信号设计要求

管脚名称	主功能	功能描述
EMMC_DATA0	DATA 0	eMMC数据0。Atlas 200I A2 加速模块内已串33Ω 电阻，建议在eMMC芯片侧串接33Ω电阻。
EMMC_DATA1	DATA 1	eMMC数据1。Atlas 200I A2 加速模块内已串33Ω 电阻，建议在eMMC芯片侧串接33Ω电阻。
EMMC_DATA2	DATA 2	eMMC数据2。Atlas 200I A2 加速模块内已串33Ω 电阻，建议在eMMC芯片侧串接33Ω电阻。
EMMC_DATA3	DATA 3	eMMC数据3。Atlas 200I A2 加速模块内已串33Ω 电阻，建议在eMMC芯片侧串接33Ω电阻。
EMMC_DATA4	DATA 4	eMMC数据4。Atlas 200I A2 加速模块内已串33Ω电阻，建议在eMMC芯片侧串接33Ω电阻。
EMMC_DATA5	DATA 5	eMMC数据5。Atlas 200I A2 加速模块内已串33Ω电阻，建议在eMMC芯片侧串接33Ω电阻。
EMMC_DATA6	DATA 6	eMMC数据6。Atlas 200I A2 加速模块内已串33Ω电阻，建议在eMMC芯片侧串接33Ω电阻。
EMMC_DATA7	DATA 7	eMMC数据7。Atlas 200I A2 加速模块内已串33Ω电阻，建议在eMMC芯片侧串接33Ω电阻。
EMMC_CMD	CMD	eMMC命令信号。Atlas 200I A2 加速模块内已串33Ω电阻，建议加10kΩ上拉电阻，上拉至1V8。建议在eMMC芯片侧串接33Ω电阻。
EMMC_CLK	CLK	eMMC时钟。Atlas 200I A2 加速模块内已串33Ω电阻，须外接10kΩ电阻下拉至GND。
EMMC_POWER_EN	POWER_EN	POWER_EN信号。Atlas 200I A2 加速模块输出信号。使用此信号控制eMMC上下电。高电平有效，需加下拉电阻，默认eMMC颗粒不上电。
EMMC_RST	RST	EMMC复位信号。低电平有效，建议使用上拉电阻，上拉至1.8V。

接口不使用处理方式

信号名称	处理方式
EMMC_DAT0	上拉（或悬空）
EMMC_DAT1	上拉（或悬空）
EMMC_DAT2	上拉（或悬空）
EMMC_DAT3	上拉（或悬空）
EMMC_DAT4	上拉（或悬空）
EMMC_DAT5	上拉（或悬空）
EMMC_DAT6	上拉（或悬空）
EMMC_DAT7	上拉（或悬空）
EMMC_CLK	悬空
EMMC_CMD	上拉（或悬空）

eMMC 硬件电路设计指导

eMMC通过1根时钟信号线、1根双向命令信号线和8根双向数据信号线与卡设备对接来完成命令与数据的交互。命令信号、数据信号均工作在上拉模式。上拉电阻参数及各信号线负载电容限制如表3-10所示。

表 3-10 信号线负载参数

参数	最小值	最大值	描述
R_{DAT} 、 R_{CMD}	10k Ω	100k Ω	上拉电阻。
负载容抗 C_x	-	30pF	负载电容 $C_x=C_{EMMChost}+C_{bus}+C_{card}$ 。每张卡最大负载电容 C_{card} 为6pF
信号线感抗	-	16nH	Fpp 20MHz。

3.2.5 USB 接口

- Atlas 200I A2 加速模块支持4路USB3.0，即USB3.0_0~USB3.0_3。
- SerDes Lane4可复用为USB3.0_0，SerDes Lane5可复用为USB3.0_1，SerDes Lane6可复用为USB3.0_2，SerDes Lane6可复用为USB3.0_3。
- USB3.0_0仅支持USB3.0 HOST模式，不支持USB DEVICE模式，不支持USB2.0。
- Atlas 200I A2 加速模块支持3路USB2.0，即USB2.0_1~USB2.0_3。USB2.0接口可以直接使用，但在使用USB3.0_1~USB3.0_3时须搭配USB2.0_1~USB2.0_3使用。
- USB1~USB3支持USB2.0 HOST+DEVICE模式，USB3.0 HOST+DEVICE模式。（USB1为USB3.0_1和USB2.0_1组合在一起的信号，USB2，USB3同理。）

信号设计要求

表 3-11 USB2.0 信号设计要求

管脚名称	功能描述
USB_DP / M	USB 2.0差分信号。
USB_VBUS	USB设备插入检测，Device必需，VBUS输入信号，不能直接接5V，其输入电平范围0~3.3V，需与5V之间串接30kΩ±1%电阻。
USB_OVRCUR	USB过流信号
USB_POWER_EN	USB电源控制信号

说明

USB3.0信号设计要求请参见[3.2.1 SerDes接口](#)。

3.2.6 UART 接口

UART是Universal Asynchronous Receiver/Transmitter的缩写，即通用异步接收发送器，是AMBA的SOC外设，挂在APB总线上。UART完成接收数据的串并转换和发送数据的并串转换。

UART的主要特点如下：

- 兼容AMBA Specification，支持APB接口，处理总线的读写数据，配置寄存器等。
- 数据位和停止位位宽可配：数据位可配置为5/6/7/8bit，停止位可配置为1/2bit。
- 支持奇、偶校验方式或者无校验位。
- 传输速率编程可配。
- 支持DMA数据搬运方式。
- UART控制器支持流控，但流控信号没有出管脚，因此芯片不支持流控。
- UART发送FIFO深度为64bit，宽度为8bit；接收FIFO深度为64bit，宽度为12bit。
- 支持接收FIFO中断、发送FIFO中断、接收超时中断和错误中断可以分别进行屏蔽，产生一个组合中断（如果任意一个中断有效且没有被屏蔽则该组合中断有效）。

信号设计要求

表 3-12 信号设计要求

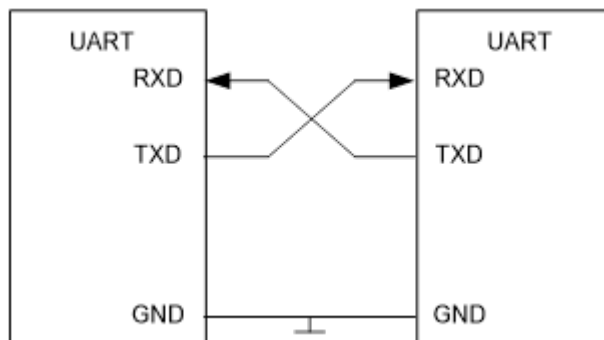
管脚名称	功能描述
UART0_RX	UART0接收数据。调试、系统打印、外设扩展等。

管脚名称	功能描述
UART0_TX	UART0发送数据。调试、系统打印、外设扩展等。
UART1_TX	UART1接收数据。
UART1_RX	UART1发送数据。
UART2_TX	UART2接收数据。可复用CAN3_RX。
UART2_RX	UART2发送数据。可复用CAN3_TX。
UART2_RTX	UART2 Require To Send, 硬件流控信号。可复用CAN2_RX。
UART2_CTX	UART2 Clear To Send, 硬件流控信号。可复用CAN2_TX。
UART3_TX	UART3接收数据。可复用CAN1_RX。
UART3_RX	UART3发送数据。可复用CAN1_TX。
UART3_RTX	UART3 Require To Send, 硬件流控信号。可复用CAN0_RX。
UART3_CTX	UART3 Clear To Send, 硬件流控信号。可复用CAN0_TX

应用框图

UART是一种异步双向串行总线，提供了一种简单有效的数据传输方式，只需要两根数据线互相对接即可。UART的3线模式应用框图如图3-1所示。

图 3-1 UART 应用框图



 说明

如果UART接口不使用，且复用的其他功能也不使用，管脚悬空处理即可。

3.2.7 CAN 接口

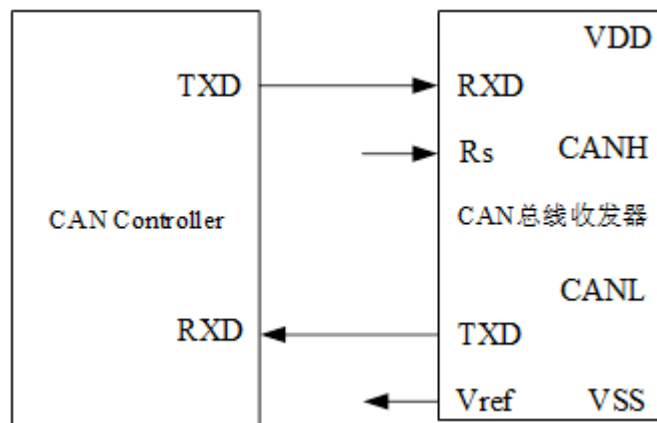
Atlas 200I A2 加速模块集成了4个独立的CAN（Controller Area Network，控制器局域网）设备，连接在APB总线上。可以与具有CAN接口的设备通讯，也可以多个芯片组成控制网络，实现信息的传输、交互和控制功能。

信号设计要求

信号名称	方向	描述
CAN0_RXD	I	CAN0的接收数据线
CAN0_TXD	O	CAN0的发送数据线
CAN1_RXD	I	CAN1的接收数据线
CAN1_TXD	O	CAN1的发送数据线
CAN2_RXD	I	CAN2的接收数据线
CAN2_TXD	O	CAN2的发送数据线
CAN3_RXD	I	CAN3的接收数据线
CAN3_TXD	O	CAN3的发送数据线

典型应用框图

图 3-2 CAN-FD 的典型应用框图



 说明

如果CAN接口不使用，且复用的其他功能也不使用，管脚悬空处理即可。

3.2.8 MIPI CSI 接口

MIPI（移动行业处理器接口）是Mobile Industry Processor Interface的缩写。MIPI是MIPI联盟发起的为移动应用处理器制定的开放标准。CSI-2（Camera Serial Interface 2）是MIPI 联盟定义的另一种高速接口，主要用于摄像模组和处理器之间的连接。

MIPI CSI 接口特点

Atlas 200I A2 加速模块有2路MIPI CSI-2接口CSI0~CSI1，支持MIPI DPHY、LVDS、HiSPi接口，支持如下协议：

- 支持标准MIPI CSI-2 v1.2协议；
- DPHY接口支持DPHY协议；
- 可同时支持4路sensor输入，最大支持4096x2160@45fps；
- 单路最多支持8-Lane MIPI D-PHY接口，最大支持2.5Gbps/Lane；
- 单路最多支持8-Lane LVDS/sub-LVDS/HiSPi接口，最大支持1.5Gbps/Lane；
- 支持RAW8/RAW10/RAW12/RAW14数据类型的解析；
- 支持YUV₄₂₀ 8-bit/YUV₄₂₂ 8-bit数据类型的解析，支持最大4路YUV virtual channel；
- 最多支持2帧WDR，支持多种WDR时序；
- 支持LVDS/HiSPi模式像素/同步码大小端配置；

SLVS-EC接口用于高帧率和高分辨率图像采集，它可以将高速串行的数据转化为 DC（Digital Camera）时序后传递给下一级模块 VICAP（Video Capture）。

SLVS-EC串行视频接口可以提供更高的传输带宽，更低的功耗，在组包方式上，数据的冗余度也更低。SLVS-EC在应用中接口提供了更加可靠和稳定的传输。

Atlas 200I A2 加速模块有2路SLVC-EC接口，特性如下：

- 最多同时支持路视频输入；
- 单路视频输入最多支持接口；
- 每条Lane最大支持；
- 支持RAW8/RAW10/RAW12/RAW14数据类型的解析；
- 最大支持2帧WDR时序；

信号设计要求

在Atlas 200I A2 加速模块上，设计了两个MIPI_CSI连接器，需使用华为提供的MIPI线连接摄像头，信号定义如下。

Pin # (EVEN)	管脚定义	Pin # (ODD)	管脚定义
1	5V	2	5V
3	3V3	4	3V3
5	1V8	6	1V8

Pin # (EVEN)	管脚定义	Pin # (ODD)	管脚定义
7	Sensor_RST	8	GND
9	NC	10	PWM0
11	GND	12	PWM1
13	NC	14	GND
15	Sensor_MCLK0	16	NC
17	GND	18	Sensor_MCLK1
19	NC	20	GND
21	NC	22	MIPI_CSI_D0_N
23	GND	24	MIPI_CSI_D0_P
25	MIPI_CSI_D2_N	26	GND
27	MIPI_CSI_D2_P	28	MIPI_CSI_D1_N
29	GND	30	MIPI_CSI_D1_P
31	MIPI_CSI_D3_N	32	GND
33	MIPI_CSI_D3_P	34	MIPI_CSI0_CLK0_N
35	GND	36	MIPI_CSI0_CLK0_P
37	MIPI_CSI0_CLK1_N	38	GND
39	MIPI_CSI0_CLK1_P	40	GPIO1
41	GND	42	CAM0_GPIO
43	GPIO2	44	I2C_SCL0
45	I2C_SDA0	46	I2C_SCL1
47	I2C_SDA1	48	Sensor_HS
49	Sensor_VS	50	3V3
51	3V3	-	-

说明

不使用的管脚悬空处理。

3.2.9 MIPI DSI 接口

MIPI（移动行业处理器接口）是Mobile Industry Processor Interface的缩写。MIPI是MIPI联盟发起的为移动应用处理器制定的开放标准。DSI-2（Display Serial Interface）接口是MIPI联盟定义的一种高速串行接口，主要用于处理器和显示模块之间的连接。

Atlas 2001 A2 加速模块有1路MIPI DSI-2接口DSI，为DPHY接口。

MIPI DSI 接口特点

- 支持标准MIPI DSI-2 v1.0协议；
- DPHY接口支持DPHY协议v1.2；
- 最高支持输出2560x1600 @60fps；
- 最多支持 4-Lane MIPI D-PHY接口，最大支持2.5Gbps/lane，支持Data Lane个数、顺序可配置；
- 仅Data Lane0支持低速的发送和接收，Bus Turn-Around功能。低速模式速率最高10Mbps；
- 支持DSI RGB 16-bit/18-bit/24-bit和YUV4:2:0 12-bit/YUV4:2:2 16-bit/YUV4:2:2 20-bit数据类型的输出；
- 支持DSI video mode和command mode。video mode支持Burst mode、Nonburst Mode with Sync Pulses和Non-burst Mode with Sync Events。command mode支持TE信号输入；
- 支持CSI-2 Legacy YUV420 8-bit/YUV420 8-bit/YUV422 8-bit/RAW8/RAW10/RAW12/RAW14/RAW16/RGB888数据类型的输出。

信号设计要求

管脚名称	类型	电平类型	描述
DSI_D0P	O	LVDS	DPHY DSI接口信号
DSI_D0N	O	LVDS	DPHY DSI接口信号
DSI_D1P	O	LVDS	DPHY DSI接口信号
DSI_D1N	O	LVDS	DPHY DSI接口信号
DSI_CKP	O	LVDS	DPHY DSI接口信号
DSI_CKN	O	LVDS	DPHY DSI接口信号
DSI_D2P	O	LVDS	DPHY DSI接口信号
DSI_D2N	O	LVDS	DPHY DSI接口信号
DSI_D3P	O	LVDS	DPHY DSI接口信号
DSI_D3N	O	LVDS	DPHY DSI接口信号

管脚名称	类型	电平类型	描述
DSI_SCL	I/O	LVC MOS	DSI接口IIC SCL信号
DSI_SDA	I/O	LVC MOS	DSI接口IIC SDA信号

3.2.10 HDMI TX 接口

Atlas 2001 A2 加速模块支持两个HDMI接口，均支持HDMI(High Definition Multimedia Interface)协议。

HDMI提供了一种简单、高性能传输数字音视频数据的方式，给用户带来真正的全数字体验。

HDMI TX 接口特点

- 支持RGB444、YCbCr444输入及处理，支持24BPP、30BPP、36BPP模式；
- Video通路Bypass模式下，支持YCbCr422、支持YCbCr420输入；
- 支持RGB/YCbCr4:4:4，YCbCr4:2:2，YCbCr4:2:0 数据格式输出；
- YCbCr444最大支持24BPP，4KP60 YCbCr422、YCbCr420最大支持36BPP；
- 支持用于DDC的I2C Mastser接口；

信号设计要求

表 3-13 信号设计要求

信号名称	方向	电平类型	描述
HDMI_TX0P	O	LVDS	HDMI0 TX通道0串行差分信号正极。
HDMI_TX0N	O	LVDS	HDMI0 TX通道0串行差分信号负极。
HDMI_TX1P	O	LVDS	HDMI0 TX通道1串行差分信号正极。
HDMI_TX1N	O	LVDS	HDMI0 TX通道1串行差分信号负极。
HDMI_TX2P	O	LVDS	HDMI0 TX通道2串行差分信号正极。
HDMI_TX2N	O	LVDS	HDMI0 TX通道2串行差分信号负极。
HDMI_TXCP	O	LVDS	HDMI0 TX差分像素时钟正极
HDMI_TXCN	O	LVDS	HDMI0 TX差分像素时钟负极
HDMI_HOTPLUG	I	LVC MOS	HDMI0接口热插拔检测信号。
HDMI_CEC	I/O	LVC MOS	HDMI0接口消费类电子控制(Consumer Electronic Control)通道信号。为满足协议在IO powerdown时小于1.8uA要求，需要串联27kΩ电阻

信号名称	方向	电平类型	描述
HDMI_SDA	I/O	LVCMO S	HDMI0 DDC(Display Data Channel)数据/ 地址信号。
HDMI_SCL	I/O	LVCMO S	HDMI0 DDC(Display Data Channel)时钟 信号。

接口不使用处理方式

表 3-14 HDMI 不使用时管脚处理方式（以一组 HDMI 接口举例）

信号名称	处理方式
HDMI_TX0P	悬空
HDMI_TX0N	悬空
HDMI_TX1P	悬空
HDMI_TX1N	悬空
HDMI_TX2P	悬空
HDMI_TX2N	悬空
HDMI_TXCP	悬空
HDMI_TXCN	悬空
HDMI_HOTPLUG	下拉
HDMI_CEC	下拉
HDMI_SDA	下拉
HDMI_SCL	下拉

3.2.11 I2S 接口

Atlas 200I A2 加速模块的I2S (Inter-IC Sound)为音频数据传输协议，由Philips制定。它采用了沿独立的导线传输时钟与数据信号的设计，通过将数据和时钟信号分离，避免了因时差诱发的失真。Atlas 200I A2 加速模块供了2个通用I2S口，I2S0与I2S1。

I2S 接口特点

- 支持I2S标准接口协议；
- 2个通用I2S在I2S模式下支持master模式；
- I2S0能以TDM128、TDM256模式传输数据，两种模式下只能作为master传输数据；

- I2S0在I2S模式下支持48/96/192K采样率，在TDM模式下支持48K采样率；
- I2S1只能以I2S模式传输数据，master模式均支持8/16/32/48/96/192K采样率；

信号设计要求

信号名称	方向	电平类型	描述
I2S_WS_TX	I/O	LVCMSOS	I2S发送左右声道选择信号/PCM发送帧同步信号
I2S_BCLK_TX	I/O	LVCMSOS	I2S/PCM串行时钟
I2S_SD_TX	I	LVCMSOS	I2S/PCM串行数据输出
I2S_SD_RX	O	LVCMSOS	I2S/PCM串行数据输入
I2S_MCLK	I/O	LVCMSOS	I2S/PCM主时钟，可以作为音频CODEC的工作时钟

3.2.12 Audio CODEC 接口

Atlas 200I A2 加速模块Audio Codec集成了高品质立体声回放DAC（93dB DRA），两路单端lineout输出；高品质立体声ADC（93dBA），支持两路单端输入，兼容差分输入。输入支持0~36dB，3dB step的增益控制（方便数字做AGC控制）。

接口特点

- 93dBA DR立体声DAC；
- 立体声单端lineout输出；
- DAC数字音量控制范围：-121dB~6dB，1dB步长；
- 93dBA DR立体声ADC；
- ADC模拟音量控制范围：0~36dB，3dB步长，一档Boost gain为20dB；
- 支持两路差分输入，兼容单端；

信号设计要求

信号名称	方向	电平类型	描述
AGND_AUDIO	I/O	Analog	音频参考源，外挂10uF电容到地，且需要与100nF低ESR陶瓷电容并联，小电容尽量靠近芯片管脚。
AC_AUDIO_OUTL	O	Analog	音频接口左声道输出。

信号名称	方向	电平类型	描述
AC_AUDIO_OUTR	O	Analog	音频接口右声道输出。
AC_AUDIO_IN0L	I	Analog	音频接口0左声道输入/音频接口0差分输入正极。
AC_AUDIO_IN0R	I	Analog	音频接口0右声道输入/音频接口0差分输入负极。

说明

不使用的输出引脚悬空，输入引脚接地。

3.2.13 其他接口

ADC 接口

adc_board_id用于区分Atlas 200I A2 加速模块适配的底板类型，采用LSADC[7:6]两个bit来表示，LSADC6有0-9共计10个取值，LSADC7有1-9共计9个取值，LSADC[7:6]共计90种组合，可支撑区分90种底板类型。

LSADC7的1-4为整机用户使用，LSADC7的5-9已预留，当前不可用。LSADC6的取值0-9均可用。

LSADC[7:6]详细取值定义如表3-15所示，其中Atlas 200I A2 加速模块内部LSADC[7:6]通过20K电阻上拉至1.8V，用户可通过底板不同取值的下拉电阻确定LSADC[7:6]的取值。

表 3-15 分压值

采样取值	上拉电压 (V)	理想分压值 (mv)	实际分压最小值 (mv)	实际分压最大值 (mv)
0	1.8	0	0	98
1	1.8	199	100	298
2	1.8	399	300	498
3	1.8	599	500	698
4	1.8	799	700	898
5	1.8	999	900	1098
6	1.8	1199	1100	1298
7	1.8	1399	1300	1498
8	1.8	1599	1500	1698
9	1.8	1798	1700	1798

表 3-16 推荐分压电阻阻值

采样取值	电源电阻R1 (kohm)	接地电阻R2 (kohm)
0	20	0
1	20	2
2	20	5.6
3	20	10
4	20	15
5	20	27
6	20	47
7	20	68
8	20	200
9	20	NC

示例

LSADC[7:6]=51，对应LSADC7底板电阻为27kohm，LSADC6底板电阻为2kohm。

说明

- 电源电阻R1为Atlas 200I A2 加速模块内部上拉电阻，通过20kohm上拉至1.8V。
- 用户需在底板预留接地电阻R2，通过接地电阻R2的不同取值确定LSADC[7:6]的值。

PWM 接口

PWM是英文Pulse Width Modulation的缩写，简称脉宽调制，是利用数字输出来对模拟电路进行控制的一种非常有效的技术，广泛应用在从测量、通信到功率控制与变换的许多领域中。一般应用中，PWM的周期通常是固定的，而占空比实时变化来承载信息，但用于风扇控制时，因为风扇在较短的时间段内是恒速的，所以占空比也通过寄存器来配置。Atlas 200I A2 加速模块提供两路PWM输出及风扇转速检测输入，如下表所示。

P-Pin	信号名称定义	复用功能
P153	GPIO1_00/FAN_PWM0	PWM输出（风扇调速用）
		通用GPIO
P154	GPIO1_01/FAN_PWM1	PWM输出（风扇调速用）
		通用GPIO
P155	GPIO0_24/FAN_TECH0	风扇0转速检测输入
		通用GPIO

P-Pin	信号名称定义	复用功能
P156	GPIO0_25/FAN_TECH1	风扇1转速检测输入
		通用GPIO

3.3 启动接口设计

Atlas 200I A2 模组支持设置如下表格所示的启动介质，用户可通过设置 BOOT_SEL[2:0]的值来选择启动介质，BOOT_SEL[2:0]在Atlas 200I A2 模组上默认上拉，需要与底板配合选择启动方式。

BOOT_SEL2	BOOT_SEL1	BOOT_SEL0	启动介质
0	0	0	SPI NOR Flash
0	0	1	SPI NOR Flash + UFS
0	1	0	SPI NOR Flash + PCIe
1	0	0	SPI NOR Flash + eMMC
0	1	1	SPI NOR Flash + SSD/SATA
1	0	1	SPI NOR Flash + SD卡
1	1	0	SPI NOR Flash + USB
1	1	1	SPI NOR Flash + UART/GE

4 PCB 设计

PCB设计可以参考《[Atlas 200I A2 加速模块 底板PCB参考设计](#)》。

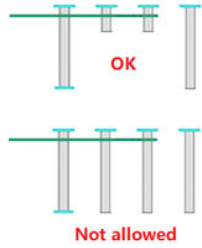
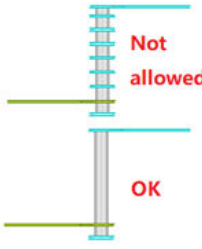
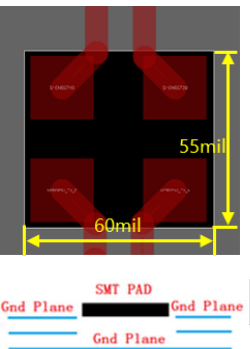
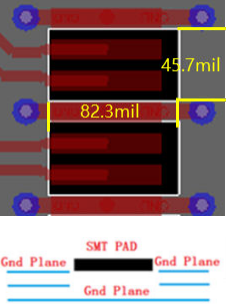
- 4.1 SerDes接口
- 4.2 RGMII接口
- 4.3 SD接口
- 4.4 eMMC接口
- 4.5 USB 2.0接口
- 4.6 MIPI-CSI接口
- 4.7 MIPI-DSI接口
- 4.8 HDMI接口
- 4.9 I2C接口
- 4.10 I2S接口
- 4.11 模拟音频接口
- 4.12 SPI接口
- 4.13 时钟接口
- 4.14 其他低速接口
- 4.15 电源接口

4.1 SerDes 接口

4.1.1 PCIE

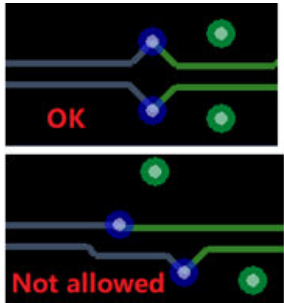
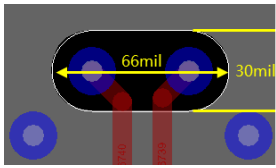
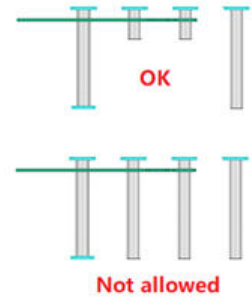
表 4-1 PCIE 接口 PCB 设计要求

项目	设计要求	说明
速率	8Gbps	-
拓扑结构	点对点	-
传输线阻抗	差分90ohm, ±10%	-
参考面	参考地平面、无跨分割	-
差分对间距	建议4H	H为参考平面介质厚度
TX/RX间距要求	不同层布线或同层TX/RX差分对之间间距 > 6H, 建议地隔离	H为参考平面介质厚度
插损要求	插损 > -15dB@4GHz	插损要求为模组连接器到对向芯片bump器插损
差分对 skew	<ul style="list-style-type: none"> TX差分对之间, skew要求小于160ps RX差分对之间, skew要求小于160ps TX/RX对间不要求等长 	-
差分对内等长	2mil	-
差分对内 skew 补偿	如图	
回流地孔	换层处添加回流地孔, 信号孔对称布局	
过孔数量	≤2个	-
信号过孔阻抗连续性	右图为参考板反焊盘尺寸, 建议用户根据实际板材和层叠通过仿真确定	

项目	设计要求	说明
信号过孔STUB长度	≤16mil	
信号过孔非功能焊盘	去除非功能焊盘	
AC耦合电容	建议靠近连接器放置，TX、RX都需要放置	-
AC耦合电容阻抗连续性	右图为参考板优化方式，建议根据层叠，电容封装，板材通过仿真决定	 <p>参考：0402电容</p>
连接器焊盘阻抗连续性	右图为参考板优化方式，建议根据层叠，电容封装，板材通过仿真决定	

4.1.2 SATA

表 4-2 SATA 接口 PCB 设计要求

项目	设计要求	说明
速率	6Gbps	-
拓扑结构	点对点	-
传输线阻抗	差分90ohm, ±10%	-
参考面	参考地平面、无跨分割	-
差分对间距	建议4H	H为参考平面介质厚度。
TX/RX间距要求	不同层布线或同层TX/RX差分对之间间距大于6H, 建议地隔离。	H为参考平面介质厚度。
插损要求	插损 > -3.5dB@3GHz	插损要求为模组连接器到接口连接器插损。
差分对内等长	2mil	-
回流地孔	换层处添加回流地孔, 信号孔对称布局。	
过孔数量	≤2个或者≤4个 (带电容)	-
信号过孔阻抗连续性	右图为参考板反焊盘尺寸, 建议用户根据实际板材和层叠通过仿真确定。	
信号过孔STUB长度	≤16mil	

项目	设计要求	说明
信号过孔非功能焊盘	去除非功能焊盘	
AC耦合电容	建议靠近连接器放置	-
AC耦合电容阻抗连续性	右图为参考板优化方式，建议根据层叠、电容封装以及板材仿真确定。	<p>参考：0402电容。</p>
连接器焊盘阻抗连续性	右图为参考板优化方式，建议根据层叠、电容封装以及板材仿真确定。	

4.1.3 GE

表 4-3 GE 接口 PCB 设计要求

项目	设计要求	说明
速率	1.25Gbps/2.5Gbps	-

项目	设计要求	说明
拓扑结构	点对点	-
传输线阻抗	差分90ohm, ±10%	-
参考面	参考地平面、无跨分割	-
差分对间距	建议4H	H为参考平面介质厚度。
PCB布线长度	< 8inch (1.25Gbps) 插损 > -0.6dB@1.25GHz (2.5Gbps)	插损要求为模组连接器到光笼子的链路插损。
TX/RX间距要求	不同层布线或同层TX/RX差分对之间间距大于6H, 建议地隔离	H为参考平面介质厚度。
布线要求	距离其他走线至少30mil	-
差分对内等长	2mil	-

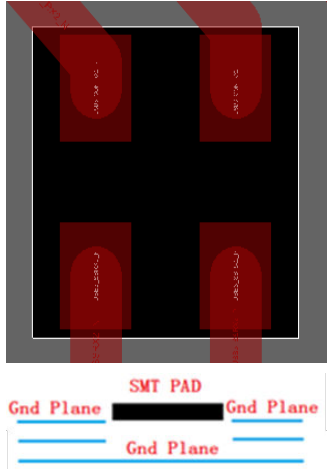
4.1.4 USB 3.0

表 4-4 USB 3.0 接口 PCB 设计要求

项目	设计要求	说明
速率	5Gbps	-
拓扑结构	点对点	-
传输线阻抗	差分90ohm, ±10%	-
参考面	参考地平面、无跨分割	-
TX/RX间距要求	不同层布线或同层TX/RX差分对之间间距大于6H, 建议地隔离	H为参考平面介质厚度。
插损要求	> -17dB@4GHz	插损要求为模组连接器到对向芯片bump器插损。
差分对内等长	2mil	-
回流地孔	换层处添加回流地孔, 信号孔对称布局;	

项目	设计要求	说明
过孔数量	≤2个或者≤4个（带电容）	-
信号过孔阻抗连续性	优化地孔距离，信号孔反焊盘大小，建议通过仿真决定。	
信号过孔STUB长度	≤16mil	
信号过孔非功能焊盘	去除非功能焊盘	
AC耦合电容	RX建议靠近模组连接器放置，TX耦合电容靠近共模电感	<p>Atlas 200I A2 加速模块内无AC电容。</p>

项目	设计要求	说明
AC耦合电容阻抗连续性	和层叠，电容封装，板材相关。参考层挖空，合适反焊盘大小，建议通过仿真决定。	<p>参考：0402电容。</p>
连接器焊盘阻抗连续性	和层叠，连接器焊盘大小，板材相关，建议通过仿真决定反焊盘大小。	
TVS管焊盘阻抗连续性	和层叠，封装，板材相关。参考层挖空，合适反焊盘大小，建议通过仿真决定。	

项目	设计要求	说明
共模电感焊盘阻抗连续性	和层叠，封装，板材相关。参考层挖空，合适反焊盘大小，建议通过仿真决定。	
TVS管(位置)	紧挨连接器布局，建议<320mil	-
ESD参考PCB设计	挖空参考平面，提升阻抗连续性	-
共模电感位置	靠近AC电容和TVS管	-

4.2 RGMII 接口

表 4-5 RGMII 接口 PCB 设计要求

项目	设计要求	说明
传输线阻抗	50ohm, $\pm 10\%$	-
走线长度	<8.5 inch	FR4
参考面	参考地平面、无跨分割	-
布线要求	RGMII信号与其他时钟或者数据信号间隔>3H	-
串阻要求	链路上串联电阻，靠近发送侧芯片管脚放置，电阻值根据SI仿真与信号实测确定	-
时序约束1	TX方向支持时钟和数据180度调相，TXD[3:0]、TXEN以TXCK为基准，等长控制在 $\pm 150\text{mi}$ 以内	-

项目	设计要求	说明
时序约束2	<ul style="list-style-type: none"> RX方向不支持时钟和数据180度调相，如果对端器件支持TX方向时钟和数据180度调相，那么RXD[3:0]、RXEN以RXCK为基准，等长控制在$\pm 150\text{mil}$以内 如果对端器件不支持TX方向时钟和数据180度调相，则板级走线需要将RGMII_RXCK信号绕长（约10inch）进行延时，保证RXCK比RXD/RXEN延时2ns左右 	-

4.3 SD 接口

表 4-6 SD 接口 PCB 设计要求

项目	设计要求	说明
传输线阻抗	50ohm, $\pm 10\%$	-
走线长度	1.5inch < 板级走线长度 < 3 inch	-
参考面	参考地平面、无跨分割	-
时序控制	DATA/CMD和CLK之间等长控在 $\pm 100\text{mil}$	-

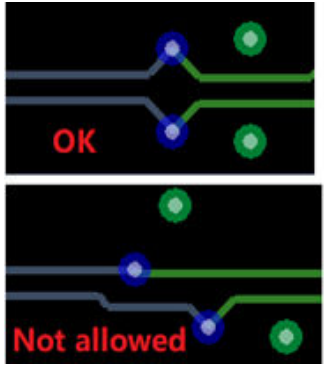
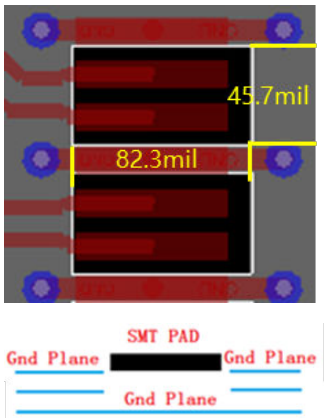
4.4 eMMC 接口

表 4-7 EMMC 接口 PCB 设计要求

项目	设计要求	说明
传输线阻抗	50ohm, $\pm 10\%$	-
走线长度	< 4 inch	FR4
参考面	参考地平面、无跨分割	-
时序控制	EMMC_DATA[0:7]、EMMC_CMD、EMMC_DS的线长以EMMC_CLK的线长为基准，误差控制在 $\pm 150\text{mil}$ 以内	-

4.5 USB 2.0 接口

表 4-8 USB2.0 接口 PCB 设计要求

项目	设计要求	说明
拓扑结构	点对点	-
传输线阻抗	差分90ohm, ±10%	-
参考面	参考地平面、无跨分割	-
布线要求	建议与其他信号距离大于4H	H为参考平面介质厚度。
差分对内等长	2mil	-
PCB布线长度	<7 inch	FR4
信号过孔	换层处添加回流地孔	
过孔数量	尽量少	-
连接器焊盘阻抗连续性	建议对连接器位置做反焊盘优化	

4.6 MIPI-CSI 接口

表 4-9 MIPI-CSI 接口 PCB 设计要求

项目	设计要求	说明
拓扑结构	点对点	-
传输线阻抗	差分100欧姆, $\pm 10\%$	-
参考面	参考地平面、无跨分割	-
布线要求	与其他信号的间距大于20mil	-
差分对间距	建议4H	H为参考平面介质厚度。
插损要求	插损 > -2.2dB@1.25GHz	插损要求为模组连接器到芯片bump插损。
差分对 skew	数据信号线长以MIPI的时钟信号线长为基准, 偏差控制在 $\pm 30\text{mil}$ 以内	-
差分对内等长	2mil	-

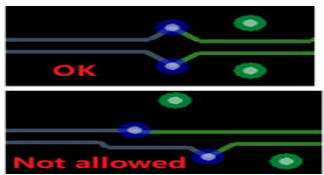
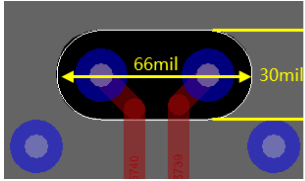
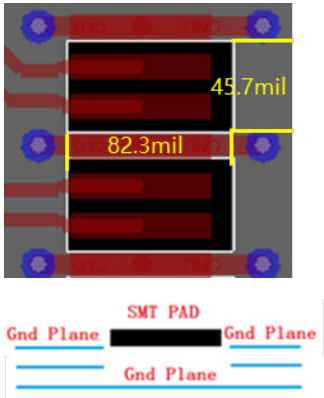
4.7 MIPI-DSI 接口

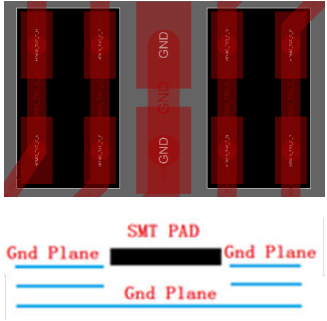
表 4-10 MIPI-DSI 接口 PCB 设计要求

项目	设计要求	说明
拓扑结构	点对点	-
传输线阻抗	差分100欧姆, $\pm 10\%$	-
参考面	参考地平面、无跨分割	-
布线要求	与其他信号的间距大于20mil	-
差分对间距	建议4H	H为参考平面介质厚度。
插损要求	插损 > -1.2dB@1.25GHz	插损要求为模组连接器到芯片bump插损
差分对 skew	数据信号线长以MIPI的时钟信号线长为基准, 偏差控制在 $\pm 30\text{mil}$ 以内	-
差分对内等长	2mil	-

4.8 HDMI 接口

表 4-11 HDMI 接口 PCB 设计要求

项目	设计要求	说明
速率	6Gbps	-
传输线阻抗	差分100欧姆, $\pm 10\%$	-
参考面	参考地平面、无跨分割	-
差分对间距	建议4H	H为参考平面介质厚度。
PCB布线长度	<2.5inch	FR4 ($\sim 0.76\text{dB/inch}$ @3GHz)
差分对间skew	数据信号线长以HDMI的时钟信号线长为基准, 偏差控制在 $\pm 25\text{mil}$ 以内	-
差分对内等长	2mil	-
信号过孔	换层处添加回流地孔	
过孔数量	建议换层次数不超过2次	-
信号过孔阻抗连续性	建议进行过孔阻抗单点优化	
连接器焊盘阻抗连续性	建议对连接器位置做反焊盘优化	
ESD防护	靠近接口布局	-

项目	设计要求	说明
TVS管焊盘阻抗连续性	和层叠，封装，板材相关。参考层挖空，合适反焊盘大小，建议通过仿真决定。	

4.9 I2C 接口

表 4-12 I2C 接口 PCB 设计要求

项目	设计要求	说明
传输线阻抗	50ohm, ±10%	-
等长要求	信号一起走线，等长控在 ±500mil	-
拓扑	菊花链	-

4.10 I2S 接口

表 4-13 I2S 接口 PCB 设计要求

项目	设计要求	说明
传输线阻抗	50ohm, ±10%	-
走线长度	$0.5t_{clk} - t_{delay} - t_{valid} > 18.3ns$	<ul style="list-style-type: none"> • t_{clk}: 时钟周期时间; • t_{delay}: 时钟 + 数据走线延时; • t_{valid}: 对端器件Data output valid time最大值。
等长要求	信号一起走线，等长控在 ±500mil	-
布线要求	建议与其他接口信号包地隔离	-

4.11 模拟音频接口

表 4-14 模拟音频接口 PCB 设计要求

项目	设计要求	说明
传输线阻抗	40~50ohm	-
参考面	参考地平面、无跨分割	-
布线要求	<ul style="list-style-type: none"> AC_VREF管脚上对接的电容需要靠近主芯片放置 模拟音频输入输出信号、AC_VREF、MICBIAS信号要求全程包地处理，并且相邻信号之间的GND过孔均匀放置 AC_IN和AC_OUT信号走线要求DCR小于3ohm 如板级走线空间允许，模拟音频信号建议单独规划一个AGND，并且与主GND单点接地 	-

4.12 SPI 接口

表 4-15 SPI 接口 PCB 设计要求

项目	设计要求	说明
传输线阻抗	50ohm, $\pm 10\%$	-
走线长度	$0.5t_{clk} - t_{delay} - t_{valid} > 8.8ns$	<ul style="list-style-type: none"> t_{clk}: 时钟周期时间; t_{delay}: 时钟 + 数据走线延时; t_{valid}: 对端器件Data output valid time最大值。
等长要求	信号一起走线，等长控在 $\pm 500mil$	-
布线要求	建议与其他接口信号包地隔离	-

4.13 时钟接口

表 4-16 时钟接口 PCB 设计要求

项目	设计要求	说明
传输线阻抗	90ohm, $\pm 10\%$	-
走线长度	根据外接时钟芯片驱动能力决定	Atlas 200I A2 模组走线长度 1.5inch
布线要求	信号四周包地处理	-
差分对内等长	2mil	-
AC耦合电容	链路上串联AC耦合电容, 电容值推荐100nF, 靠近模组连接器放置	-

4.14 其他低速接口

- 信号阻抗控制 50Ω , $\pm 10\%$ 。
- 时序: 依据器件手册控制。

4.15 电源接口

Atlas 200I A2 模组12V输入需要5颗10uF (0805) 与2颗1nF (0402) 电容, 靠近模组连接器放置。

5 整机 ESD 设计

背景

由于芯片性能提高，整机对外界干扰更敏感，客户在整机设计时需要非常重视整机的 ESD 设计。

Atlas 200I A2 加速模块无法单独上电工作，配合华为公司产品 Atlas 500 A2 智能小站按照 IEC61000-4-2 标准，通过接触放电 $\pm 6\text{kV}$ ，空气放电 $\pm 8\text{kV}$ 规格测试，符合行业标准。而客户需要根据自己企业的 ESD 测试标准，对单板硬件设计和整机设计做评估。

本节针对整机 ESD 设计风险，提供一些设计建议和风险规避措施。

整机 ESD 设计

- 建议 PCB 器件布局设计时，小系统部分离金属接口部分越远，整机 ESD 性能越好。
- 单板对外的接插件（例如音视频输入输出接口、USB、网口和报警等端口），需要增加 ESD 保护器件，加强接口的抗干扰能力。
- 整机设计为浮地设备时，单板金属化接口部分严禁采用分割地设计。
- 单板定位孔采用金属化过孔，并与单板 GND 连接，确保单板 GND 通过螺丝孔与金属外壳充分连接。
- 整机为接地设备时，要求金属外壳充分连接大地，分割保护地与单板数字地之间采用单点连接，单点连接的位置要远离小系统电路，建议靠近整机电源连接器放置。
- 接口连接器外壳推荐采用金属外壳，且与整机金属外壳充分连接（例如带定位螺丝的 HDMI 口和 USB 口，带弹片的 RJ45 口等），必要时甚至采用导电柱或者导电泡棉来实现连接器与外壳的充分连接。

A 相关文档

- [《Atlas 200I A2 加速模块 技术白皮书》](#)
- [《Atlas 200I A2 加速模块 3D模型设计与测试指导》](#)
- [《Atlas 200I A2 加速模块 底板PCB参考设计》](#)
- [《Atlas 200I A2 加速模块 底板电路参考设计》](#)

B 如何获取帮助

日常维护或故障处理过程中遇到难以解决或者重大问题时，请寻求全爱科技（上海）有限公司的技术支持。

B.1 收集必要的故障信息

在进行故障处理前，需要收集必要的故障信息。

收集的信息主要包括：

- 客户的详细名称、地址
- 联系人姓名、电话号码
- 故障发生的具体时间
- 故障现象的详细描述
- 设备类型及软件版本
- 故障后已采取的措施和结果
- 问题的级别及希望解决的时间

B.2 做好必要的调试准备

在寻求华为技术支持时，华为技术支持工程师可能会协助您做一些操作，以进一步收集故障信息或者直接排除故障。

在寻求技术支持前请准备好单板和端口模块的备件、螺丝刀、螺丝、串口线、网线等可能使用到的物品。

B.3 如何使用文档

全爱科技（上海）有限公司提供全面的随设备发货的指导文档。指导文档能解决您在日常维护或故障处理过程中遇到的常见问题。

为了更好的解决故障，在寻求华为技术支持前，建议充分使用指导文档。

B.4 获取技术支持

全爱科技（上海）有限公司通过办事处、公司二级技术支持体系、电话技术指导、远程支持及现场技术支持等方式向用户提供及时有效的技术支持。

技术支持网址

查阅技术资料合集：<https://e.huawei.com/cn/> > 技术支持 > 产品和解决方案支持 > 计算 > 昇腾计算

查阅技术资料的使用流程：<https://www.quanaichina.com> > 技术支持

自助平台与论坛

如果您想进一步学习和交流：

- 访问[华为服务器信息服务平台](#)，获取相关服务器产品资料。
- 访问[华为企业业务智能问答系统](#)，快速查询产品问题。
- 访问[华为企业互动社区（服务器）](#)，进行硬件产品学习交流。
- 访问[开发者论坛](#)，进行AI应用开发学习交流。

公告

有关产品生命周期、预警和整改公告请访问[技术支持 > 公告 > 产品公告](#)。

案例库

参阅已有案例进行学习：[计算产品案例查询助手](#)。

说明

计算产品案例查询助手目前仅面向华为合作伙伴及华为工程师开放。

获取华为技术支持

如果在设备维护或故障处理过程中，遇到难以确定或难以解决的问题，通过文档的指导仍然不能解决，请通过如下方式获取技术支持：

- 联系华为客户服务中心。
中国区企业用户请通过以下方式联系我们：
 - 客户服务电话：400-822-9999
 - 客户服务邮箱：support_e@huawei.com企业网全球各地区客户服务热线可以通过以下网站查找：[企业用户全球服务热线](#)
- 中国区运营商用户请通过以下方式联系我们：
 - 客户服务电话：400-830-2118
 - 客户服务邮箱：support@huawei.com运营商全球各地区客户服务热线可以通过以下网站查找：[运营商用户全球服务热线](#)

- 联系全爱科技（上海）有限公司驻当地办事处的技术支持人员。