

S920L08 模组

技术规格书

发布日期 2025-05-30

目 录

1 模组规格简介.....	1
2 模组关键器件.....	7
3 模组各单元详细说明.....	9
3.1 单板功能单元划分和业务描述.....	9
3.2 单元详细描述.....	10
3.3 688PIN MAP.....	12
3.4 管脚说明.....	16
4 高速分配说明.....	43
5 时序参数.....	46
5.1 时序图例.....	46
5.2 NCSI 时序参数.....	47
5.3 UART 时序参数.....	47
5.4 SFC 时序参数.....	47
5.5 SPI 时序参数.....	49
5.6 MDIO 时序参数.....	50
5.7 I2C 时序参数.....	51
5.8 JTAG 时序参数.....	52
5.9 SGPIO 时序参数.....	54
5.10 Hisport 时序参数.....	54
6 电气特性.....	56
6.1 环境参数.....	56
7 机械参数.....	57
7.1 模组机械要素图及尺寸.....	58
8 模组型号和编码信息.....	60
A 修订记录.....	61

1 模组规格简介

图 1-1 模组正视图

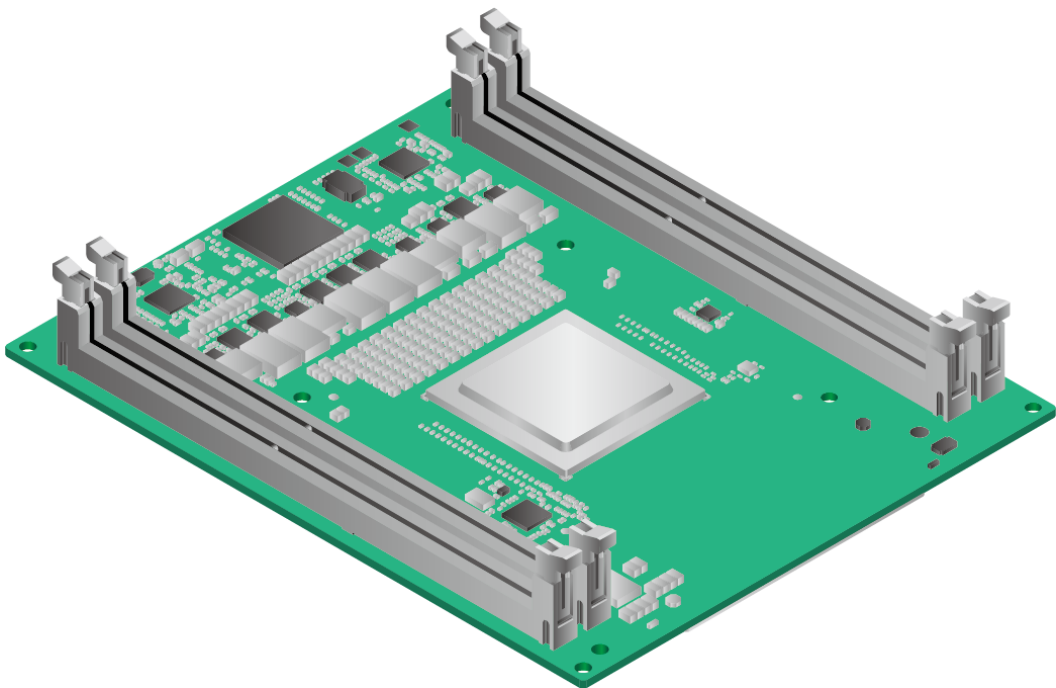
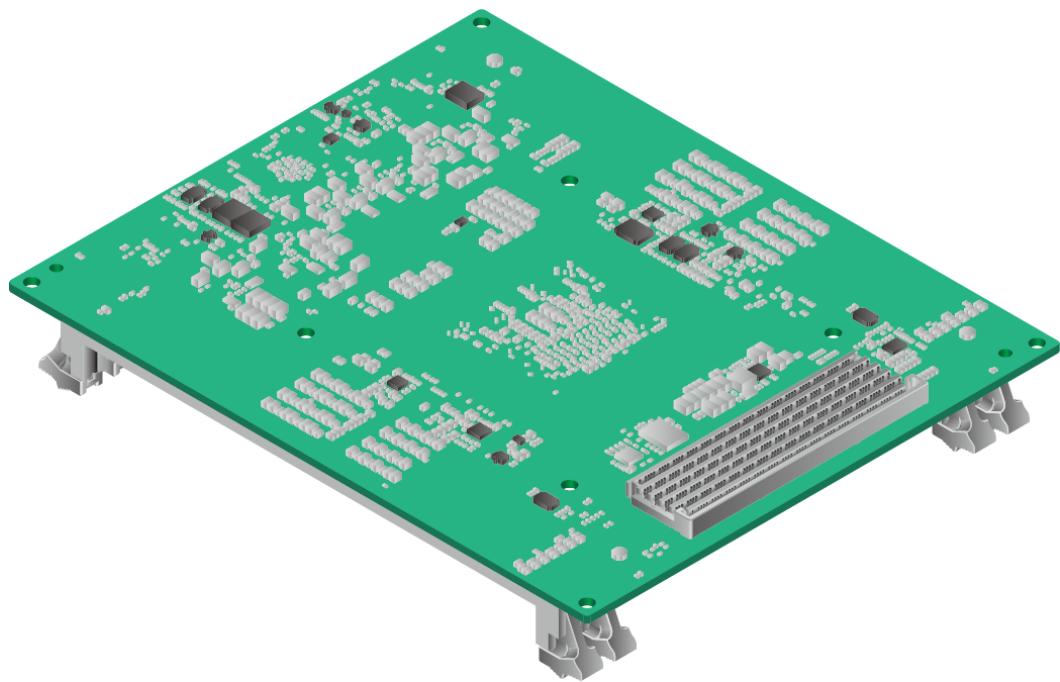


图 1-2 模组俯视图



- 搭载高性能920系列处理器，最多支持24Core。
- 30 Lanes 高速，支持HCCS、PCIe、SAS、网络协议。

表 1-1 S920L08 模组技术规格

指标项	规格
尺寸	• 135mm*165mm • 背面限高2mm，正面限高3.5mm（内存条连接器高度：34.15mm）。
连接器	688PIN阵列连接器，配高5mm。
CPU	920系列处理器，64bits-Taishan架构，8核8线程/12核12线程/16核16线程/24核24线程，2.6GHz。
内存	2通道DDR4-1DPC：2666M-2DPC：2400M，每个通道仅支持64bit模式，可选8bit ECC。

指标项	规格
功耗	BOM编码0302080023、0302084804功耗如下： ● 最小直流功耗：暂无 ● 典型直流功耗：暂无 ● 最大直流功耗：107.6W BOM编码0302080022、0302084803功耗如下： ● 最小直流功耗：暂无 ● 典型直流功耗：暂无 ● 最大直流功耗：111.8W BOM编码0302080021、0302084802功耗如下： ● 最小直流功耗：暂无 ● 典型直流功耗：暂无 ● 最大直流功耗：117.45W BOM编码0302080020、0302084801功耗如下： ● 最小直流功耗：暂无 ● 典型直流功耗：暂无 ● 最大直流功耗：121.29W
单板温度检测	LM75，模组板温度检测。

指标项	规格
网络	通用场景： ● 8个物理以太网，支持GE或者XGE，支持PFC for 8TC DCB，Normal for normal Ethernet协议。 - Serdes连接PHY芯片，出电口。 - Serdes连光模块，出光纤口。 - Serdes通过背板互联。 ● 支持速率组合一 - 1 x 100GE(PFC/Normal) - 1 x 50GE(PFC/Normal) - 1 x 40GE(PFC/Normal) - 1 x 25GE(PFC/Normal) - 1 x 10GE(PFC/Normal) - 1 x GE(Normal) ● 支持速率组合二 - 2 x 50GE(PFC/Normal) - 2 x 25GE(PFC/Normal) - 4 x 10GE(PFC/Normal) - 4 x GE(Normal) ● 支持速率组合三 - 4 x 25GE(PFC/Normal) + 4 x 10GE(PFC/Normal) - 8 x 10GE(PFC/Normal) - 8 x GE(Normal) 工控场景： ● 4个物理以太网，支持2个GE和2个XGE，支持PFC for 8TC DCB，Normal for normal Ethernet协议。 - Serdes连接PHY芯片，出电口。 - Serdes连光模块，出光纤口。 ● 支持速率组合一 2x GE(PFC/Normal)+2x 10GE(PFC/Normal)
PCIe	● 3个PCIe4.0控制器，最大30Lanes，其中PCIe0有10lane，PCIe1有16lane，PCIe2有4lane。 - PCIe0可以分别配置为1个X8（或2个X4）、2个X2（最终协商为2个X1，port必须配置为线序翻转模式）。 - PCIe1配置为1个X16、2个X8、4个X4、8个X2。 - PCIe2可以配置为2个X2或1个X4接口。 ● 3个PCIe 控制器支持：GEN4（16Gbps）、GEN3（8Gbps）、GEN2（5Gbps）、GEN1（2.5Gbps）。 ● 支持P-N极性翻转。

指标项	规格
存储	● 提供1个X8 SAS 3.0控制器。 - 支持SAS 3.0, 向下兼容SAS2.0 和SAS1.0。 - 支持SATA 3.0, 向下兼容SATA 2.0 和SATA 1.0。 ● SAS支持12G/6G/3G速率, SATA 支持6G/3G/1.5G速率, 同时可以实现速率的自协商。 ● 可以不经过Expander, 最大直连8个SAS或者SATA盘, 两者可以混插。 ● 可以连接SAS Expander, 扩展更多磁盘。 ● 提供1 个X2 SATA 控制器。 - 支持SATA 3.0, 向下兼容SATA 2.5。 - 支持AHCI 1.3, 向下兼容 AHCI 1.2。 - 支持6G/3G/1.5G 速率自协商。 - 支持直连两个SATA 盘。 ● 支持NOR Flash控制器 (BIOS) 支持单线、双线和四线模式, 最大频率50MHz。
USB	1*USB3.0+2*USB2.0
串口	2*UART (两线模式)
其他接口	● 6*I2C (1个支持IPMB) ● 2*MDIO ● 1*LPC ● 1*Hisport (自定义串行通信接口) ● 1*SGPIO ● 11*GPIO (复用) ● 1*JTAG (可复用为GPIO)
管理维护	● 提供IMU管理单元 - 支持状态收集, 平台健康监测 - 工作频率800MHz - 支持BootRom安全启动 ● 提供CPLD管理模块 - 支持看门狗, 支持电压监测 - 支持CPU内部温度, 板载温度监测 - 支持过温告警指示, 错误指示等 - 支持带外升级固件

指标项	规格
加速功能	集成多个硬件加速器，提供比软件方式更高的性能，同时降低PCU负载。 • 支持ZIP 进行压缩和加压缩加速 • 支持HPRE 运算 • 支持RAID 引擎 • 支持SEC 引擎
推荐工作环境	• 存储温度：25℃ • 工作温度：0℃~40℃ • 温度变化每小时小于20℃ • 相对湿度：40% RH~60% RH非凝结 • 湿度变化每小时小于20% RH
极限工作环境	• 存储温度：-40℃~125℃ • 相对湿度：5% RH~95% RH非凝结 • 最大节温：105℃
海拔	≤3050m，高出900m时，工作温度按照每300m降低1℃计算。
腐蚀性气体污染物	腐蚀产物厚度最大增长速率： • 铜测试片：300 Å/月（满足ANSI/ISA-71.04-2013定义的气体腐蚀等级G1） • 银测试片：200 Å/月
颗粒污染物	• 符合数据中心清洁标准ISO14664-1 Class8。 • 机房无爆炸性、导电性、导磁性及腐蚀性尘埃。
供电	• 12V±5%，最大20A • 3.3V_STB (-1%+3%)，最大2A

2 模组关键器件

CPU

KP920系列处理器为面向ICT领域的ARM 64bit指令集多核处理器芯片。

KP920系列处理器提供强大的计算能力，集成自研的具有完全知识产权的ARM V8架构TaishanV110 CPU Core，最多支持24Core，支持2通道、数据率最高2666MT/s的DDR4接口，全面提升芯片的计算能力和一致性总线性能。

支持CPU Core虚拟化、内存虚拟化、中断虚拟化、IO虚拟化等多项虚拟化技术，使得系统的资源共享更加灵活、系统的迁移过程变得相对简单。

KP920系列处理器同样具有丰富且强大的IO能力：

- 芯片集成以太控制器，用于提供网络通信功能。
- 提供SAS控制器，用于扩展存储介质。
- 集成PCIe控制器，用于扩展用户特性化功能，并可被用于不同CPU之间连接。

芯片集成安全算法引擎、压缩解压缩引擎、存储算法引擎等加速引擎进行业务加速。

CPLD (EF3L90CG400B)

CPLD逻辑规模为9280 LUTs，最大用户IO数量336。包含多列嵌入式存储器模块（ERAM），存储器模块规模为9K，支持快速数据访问。

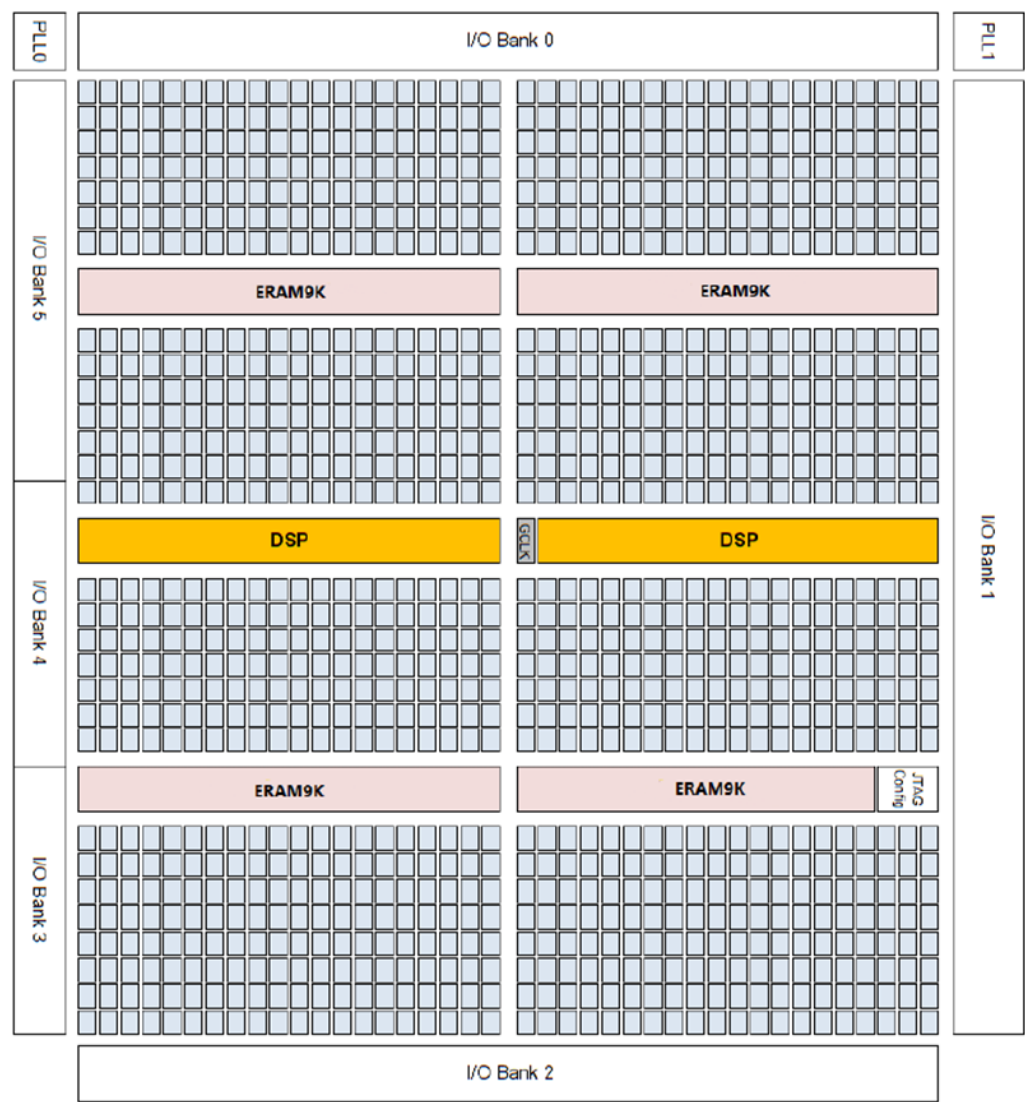
每一个存储模块可独立配置为1-18 位宽的单口或双口应用。

输入输出缓冲器（I/O Buffer）支持单端和双端的多种电平标准。

BANK0/2 的I/O 支持TRUELVDS 发送。内部嵌有2 个多功能PLL 模块，位于器件的左上角和右上角，有专用的时钟线连接到PLL输入。

PLL 具有对时钟分频/倍频/移相等功能。

图 2-1 EF3L90 器件简化框图



3 模组各单元详细说明

3.1 单板功能单元划分和业务描述

3.2 单元详细描述

3.3 688PIN MAP

3.4 管脚说明

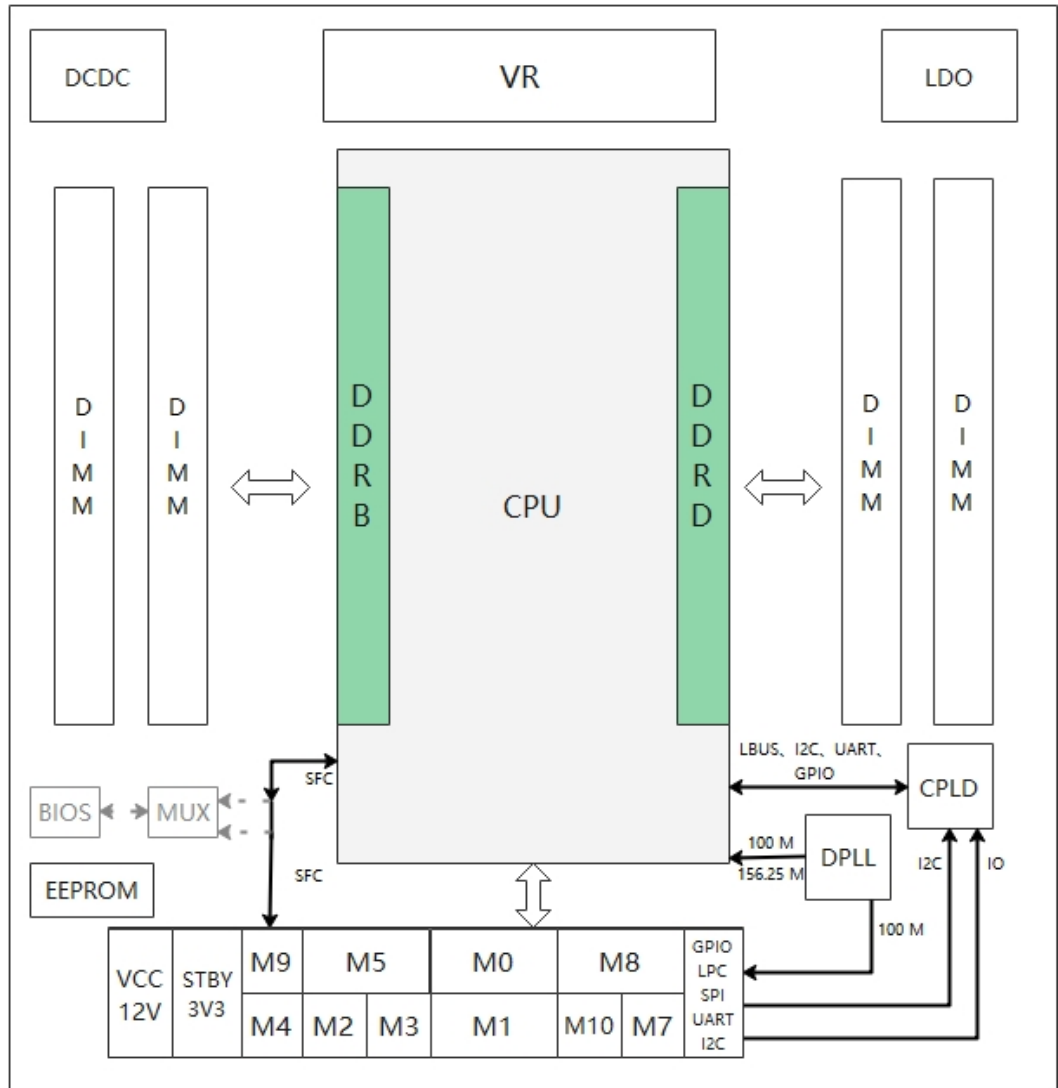
3.1 单板功能单元划分和业务描述

BC82AMSEA作为基础计算单元，承载服务器的核心CPU和配套的内存，对外提供CPU的高速和低速IO，同时提供满足CPU、内存、IO正常工作的电源、时钟。

如图3-1所示，BC82AMSEA由CPU、管理单元、时钟单元、电源单元及接口连接器单元组成。

- CPU主要由CPU处理器、DDR组成，实现业务处理、提供对外业务端口。
- 时钟单元为各模块提供所需时钟信号；电源单元将载板提供的12V电源转换为板内各模块所需的各种电源，以及实现过流保护、故障隔离等功能。
- 接口连接器单元提供各模块对外物理接口。

图 3-1 S920L08 模组逻辑框图



3.2 单元详细描述

CPU

- CPU功能描述
 - 主要由CPU处理器和DDR处理器构成，实现业务处理、提供对外业务端口，包括：
 - 实现业务处理，提供高性能通用算力小系统。
 - 对外提供PCIe、ETH、SAS/SATA等高速业务接口，用于连接存储组件、IO组件、加速等高速组件。
 - 对外提供PCIe、USB等高速管理接口，IPMI、BT等协议接口，用于连接BMC，实现与BMC通信。
- CPU的关键芯片工作原理简介

CPU的关键芯片为KP920。KP920具有8/12/16/24Core规格，可提供强大的计算能力，同时提供丰富的IO能力，集成以太网控制器，SAS控制器，PCIe控制器等。

- CPU单元的实现方式

单板配置了1个CPU处理器（ KP920系列处理器， 8/12/16/24Core ）， 每个CPU有2个DDR4内存控制器， 单通道可支持最多2个DIMM。

- CPU的高速SerDes与接口连接器单元相连， 可实现以太网端口、 PCIe、 SATA和SAS的灵活组网。
- CPU的USB2.0和USB3.0通过接口连接器单元与扩展板组件相连。
- CPU的I2C接口、 UART/SGPIO接口、 Local BUS接口对外连接， 以实现管理相关功能。

3.3 688PIN MAP

图 3-2 PINMAP (全部)

	A	B	C	D	E	F	G	H	I	J	K	L
1			G	ITAG_TCK	G	ITAG_TMS	G	ITAG_TEN	G			1
2			G	ITAG_TCK	G	ITAG_TMS	G	ITAG_TEN	G			2
3	SERDES_TX0P	G	SERDES_RX0P	G	USER_DP0	G	USER_DP1	G	SERDES_RX0P	G		3
4	SERDES_TX0N	G	SERDES_RX0N	G	USER_DW0	G	USER_DW1	G	SERDES_RX0N	G		4
5	G	SERDES_TX0P	G	SERDES_RX0P	G	USER_RNP	G	SERDES_RX0P	G	SERDES_TX0P	G	5
6	G	SERDES_TX0N	G	SERDES_RX0N	G	USER_RNN	G	SERDES_RX0N	G	SERDES_TX0N	G	6
7	SERDES_TX0P	G	SERDES_RX0P	G	USER_TNP	G	USER_DNP	G	SERDES_RX0P	G		7
8	SERDES_TX0N	G	SERDES_RX0N	G	USER_TNN	G	USER_DNN	G	SERDES_RX0N	G		8
9	G	SERDES_TX0P	G	SERDES_RX0P	G	CLK_OUTP	G	SERDES_RX0P	G	SERDES_TX0P	G	9
10	G	SERDES_TX0N	G	SERDES_RX0N	G	CLK_OUTN	G	SERDES_RX0N	G	SERDES_TX0N	G	10
11	SERDES_TX0P	G	SERDES_RX0P	G	LPC_RST	G	LPC_CLK	G	SERDES_RX0P	G		11
12	SERDES_TX0N	G	SERDES_RX0N	G	LPC_IRQ	G	LPC_FRAME	G	SERDES_RX0N	G		12
13	G	SERDES_TX0P	G	SERDES_RX0P	G	LPC_ADD	G	SERDES_RX0P	G	SERDES_TX0P	G	13
14	G	SERDES_TX0N	G	SERDES_RX0N	G	LPC_ADD	G	SERDES_RX0N	G	SERDES_TX0N	G	14
15	SERDES_TX0P	G	SERDES_RX0P	G	LPC_ADD	G	EC0_SCL	G	SERDES_RX0P	G		15
16	SERDES_TX0N	G	SERDES_RX0N	G	LPC_ADD	G	EC0_SDA	G	SERDES_RX0N	G		16
17	G	SERDES_TX0P	G	SERDES_RX0P	G	EC1_SCL	G	SERDES_RX0P	G	SERDES_TX0P	G	17
18	G	SERDES_TX0N	G	SERDES_RX0N	G	EC1_SDA	G	SERDES_RX0N	G	SERDES_TX0N	G	18
19	HDCS_TX0P	G	HDCS_RX0P	G	EC2_SCL	G	EC2_SCL	G	SERDES_RX0P	G	SERDES_TX0P	19
20	HDCS_TX0N	G	HDCS_RX0N	G	EC2_SDA	G	EC2_SDA	G	SERDES_RX0N	G	SERDES_TX0N	20
21	G	HDCS_TX0P	G	HDCS_RX0P	G	NCS_TX0D	G	SERDES_RX0P	G	SERDES_TX0P	G	21
22	G	HDCS_TX0N	G	HDCS_RX0N	G	NCS_TX0D	G	SERDES_RX0N	G	SERDES_TX0N	G	22
23	HDCS_TX0P	G	HDCS_RX0P	G	NCS_RX0D	G	NCS_TX0N	G	SERDES_RX0P	G	SERDES_TX0P	23
24	HDCS_TX0N	G	HDCS_RX0N	G	NCS_RX0D	G	NCS_RX0N	G	SERDES_RX0N	G	SERDES_TX0N	24
25	G	HDCS_TX0P	G	HDCS_RX0P	G	NCS_RX0P	G	SERDES_RX0P	G	SERDES_TX0P	G	25
26	G	HDCS_TX0N	G	HDCS_RX0N	G	NCS_RX0N	G	SERDES_RX0N	G	SERDES_TX0N	G	26
27	HDCS_TX0P	G	HDCS_RX0P	G	SFC_ID0	G	SFC_CLK	G	SERDES_RX0P	G	SERDES_TX0P	27
28	HDCS_TX0N	G	HDCS_RX0N	G	SFC_ID1	G	SFC_CS	G	SERDES_RX0N	G	SERDES_TX0N	28
29	G	HDCS_TX0P	G	HDCS_RX0P	G	SFC_ID2	G	SERDES_RX0P	G	SERDES_TX0P	G	29
30	G	HDCS_TX0N	G	HDCS_RX0N	G	SFC_ID3	G	SERDES_RX0N	G	SERDES_TX0N	G	30
31	HDCS_TX0P	G	HDCS_RX0P	G	MIO0_C0	G	MIO0_C0	G	SERDES_RX0P	G	SERDES_TX0P	31
32	HDCS_TX0N	G	HDCS_RX0N	G	MIO0_D0A	G	MIO0_D0A	G	SERDES_RX0N	G	SERDES_TX0N	32
33	G	HDCS_TX0P	G	HDCS_RX0P	G	UART0_TXD	G	SERDES_RX0P	G	SERDES_TX0P	G	33
34	G	HDCS_TX0N	G	HDCS_RX0N	G	UART0_RXD	G	SERDES_RX0N	G	SERDES_TX0N	G	34
35	SERDES_TX0P	G	SERDES_RX0P	G	UART2_TXD	G	UART1_TXD	G	WFE_RX0P	G	WFE_TX0P	35
36	SERDES_TX0N	G	SERDES_RX0N	G	UART2_RXD	G	UART1_RXD	G	WFE_RX0N	G	WFE_TX0N	36
37	G	SERDES_TX0P	G	SERDES_RX0P	G	GPIO1	G	WFE_RX0P	G	WFE_TX0P	G	37
38	G	SERDES_TX0N	G	SERDES_RX0N	G	GPIO10	G	WFE_RX0N	G	WFE_TX0N	G	38
39	SERDES_TX0P	G	SERDES_RX0P	G	GPIO9	G	GPIO7	G	WFE_RX0P	G	WFE_TX0P	39
40	SERDES_TX0N	G	SERDES_RX0N	G	GPIO8	G	GPIO6	G	WFE_RX0N	G	WFE_TX0N	40
41	G	SERDES_TX0P	G	SERDES_RX0P	G	GPIO5	G	WFE_RX0P	G	WFE_TX0P	G	41
42	G	SERDES_TX0N	G	SERDES_RX0N	G	GPIO4	G	WFE_RX0N	G	WFE_TX0N	G	42
43	SERDES_TX0P	G	SERDES_RX0P	G	GPIO3	G	GPIO1	G	WFE_RX0P	G	WFE_TX0P	43
44	SERDES_TX0N	G	SERDES_RX0N	G	GPIO2	G	GPIO0	G	WFE_RX0N	G	WFE_TX0N	44
45	G	SERDES_TX0P	G	SERDES_RX0P	G	SGRD_CLK	G	WFE_RX0P	G	WFE_TX0P	G	45
46	G	SERDES_TX0N	G	SERDES_RX0N	G	SGRD_LOAD	G	WFE_RX0N	G	WFE_TX0N	G	46
47	SERDES_TX0P	G	SERDES_RX0P	G	CRD_E01_SCL	G	SGRD_M0G	G	WFE_RX0P	G	WFE_TX0P	47
48	SERDES_TX0N	G	SERDES_RX0N	G	CRD_E01_SDA	G	SGRD_M0G	G	WFE_RX0N	G	WFE_TX0N	48
49	G	SERDES_TX0P	G	SERDES_RX0P	G	CRD_E01_SCL	G	WFE_RX0P	G	WFE_TX0P	G	49
50	G	SERDES_TX0N	G	SERDES_RX0N	G	CRD_E01_SDA	G	WFE_RX0N	G	WFE_TX0N	G	50
51	SERDES_TX0P	G	SERDES_RX0P	G	SFC_SEL	G	HREPORT_TAP	G	SERDES_RX0P	G	SERDES_TX0P	51
52	SERDES_TX0N	G	SERDES_RX0N	G	PURET	G	HREPORT_TAP	G	SERDES_RX0N	G	SERDES_TX0N	52
53	G	SERDES_TX0P	G	SERDES_RX0P	G	HREPORT_RBP	G	SERDES_RX0P	G	SERDES_TX0P	G	53
54	G	SERDES_TX0N	G	SERDES_RX0N	G	HREPORT_RBN	G	SERDES_RX0N	G	SERDES_TX0N	G	54
55	SERDES_TX0P	G	SERDES_RX0P	G	TOM_ALERTN	G	SPD_CLK	G	SERDES_RX0P	G	SERDES_TX0P	55
56	SERDES_TX0N	G	SERDES_RX0N	G	TOM_RSTN	G	SPD_CS0	G	SERDES_RX0N	G	SERDES_TX0N	56
57	G	SERDES_TX0P	G	SERDES_RX0P	G	SPD_M0G	G	SERDES_RX0P	G	SERDES_TX0P	G	57
58	G	SERDES_TX0N	G	SERDES_RX0N	G	SPD_M0G	G	SERDES_RX0N	G	SERDES_TX0N	G	58
59	PAR_EN0	G	CLB0RTN	G	ERR	G	AUX_CLKP	G	WAKE_IN	G	PAR_STATE[0]	59
60	PAR_EN	G	SYS_RST	G	MMU1_R0TN	G	AUX_CLKN	G	PAR_EN	G	PAR_STATE[1]	60
61	VDD_STB	G	G	G	VDD	VDD	VDD	G	G	BRST	G	61
62	VDD_S0B	G	G	G	VDD	VDD	VDD	G	G		G	62
63			VDD	VDD	VDD	VDD	VDD	VDD	VDD			63
64			VDD	VDD	VDD	VDD	VDD	VDD	VDD			64
	A	B	C	D	E	F	G	H	I	J	K	L

图 3-3 左 1

	A	B	C	D	E	F
1			G	JTAG_TDI	G	JTAG_TMS
2			G	JTAG_TCK	G	JTAG_TDO
3	SERDES_TX8P	G	SERDES_RX8P	G	USB2_DP0	G
4	SERDES_TX8N	G	SERDES_RX8N	G	USB2_DM0	G
5	G	SERDES_TX9P	G	SERDES_RX9P	G	USB3_RXP
6	G	SERDES_TX9N	G	SERDES_RX9N	G	USB3_RXN
7	SERDES_TX10P	G	SERDES_RX10P	G	USB3_TXP	G
8	SERDES_TX10N	G	SERDES_RX10N	G	USB3_TXN	G
9	G	SERDES_TX11P	G	SERDES_RX11P	G	CLK_OUTP
10	G	SERDES_TX11N	G	SERDES_RX11N	G	CLK_OUTN
11	SERDES_TX12P	G	SERDES_RX12P	G	LPC_RST	G
12	SERDES_TX12N	G	SERDES_RX12N	G	LPC_IRQ	G
13	G	SERDES_TX13P	G	SERDES_RX13P	G	LPC_AD0
14	G	SERDES_TX13N	G	SERDES_RX13N	G	LPC_AD1
15	SERDES_TX14P	G	SERDES_RX14P	G	LPC_AD2	G
16	SERDES_TX14N	G	SERDES_RX14N	G	LPC_AD3	G
17	G	SERDES_TX15P	G	SERDES_RX15P	G	I2C1_SCL
18	G	SERDES_TX15N	G	SERDES_RX15N	G	I2C1_SDA
19	HCCS_TX0P	G	HCCS_RX0P	G	I2C3_SCL	G
20	HCCS_TX0N	G	HCCS_RX0N	G	I2C3_SDA	G
21	G	HCCS_TX1P	G	HCCS_RX1P	G	NCSI_TXD0
22	G	HCCS_TX1N	G	HCCS_RX1N	G	NCSI_TXD1
23	HCCS_TX2P	G	HCCS_RX2P	G	NCSI_RXD0	G
24	HCCS_TX2N	G	HCCS_RX2N	G	NCSI_RXD1	G
25	G	HCCS_TX3P	G	HCCS_RX3P	G	NCSI_REF_CLK
26	G	HCCS_TX3N	G	HCCS_RX3N	G	NCSI_RX_ERR
27	HCCS_TX4P	G	HCCS_RX4P	G	SFC_IO0	G
28	HCCS_TX4N	G	HCCS_RX4N	G	SFC_IO1	G
29	G	HCCS_TX5P	G	HCCS_RX5P	G	SFC_IO2
30	G	HCCS_TX5N	G	HCCS_RX5N	G	SFC_IO3
31	HCCS_TX6P	G	HCCS_RX6P	G	MDIO_CK1	G
32	HCCS_TX6N	G	HCCS_RX6N	G	MDIO_DA1	G
33	G	HCCS_TX7P	G	HCCS_RX7P	G	UART0_TXD
34	G	HCCS_TX7N	G	HCCS_RX7N	G	UART0_RXD
35	SERDES_TX24P	G	SERDES_RX24P	G	UART2_TXD	G
36	SERDES_TX24N	G	SERDES_RX24N	G	UART2_RXD	G
37	G	SERDES_TX25P	G	SERDES_RX25P	G	GPIO11

图 3-4 左 2

38	G	SERDES_TX25N	G	SERDES_RX25N	G	GPIO10
39	SERDES_TX26P	G	SERDES_RX26P	G	GPIO9	G
40	SERDES_TX26N	G	SERDES_RX26N	G	GPIO8	G
41	G	SERDES_TX27P	G	SERDES_RX27P	G	GPIO5
42	G	SERDES_TX27N	G	SERDES_RX27N	G	GPIO4
43	SERDES_TX28P	G	SERDES_RX28P	G	GPIO3	G
44	SERDES_TX28N	G	SERDES_RX28N	G	GPIO2	G
45	G	SERDES_TX29P	G	SERDES_RX29P	G	SGPIO_CLK
46	G	SERDES_TX29N	G	SERDES_RX29N	G	SGPIO_LOAD
47	SERDES_TX30P	G	SERDES_RX30P	G	CPLD_I2C1_SC	G
48	SERDES_TX30N	G	SERDES_RX30N	G	CPLD_I2C1_SD	G
49	G	SERDES_TX31P	G	SERDES_RX31P	G	CPLD_I2C0_SC
50	G	SERDES_TX31N	G	SERDES_RX31N	G	CPLD_I2C0_SD
51	SERDES_TX32P	G	SERDES_RX32P	G	SFC_SEL	G
52	SERDES_TX32N	G	SERDES_RX32N	G	PVREF	G
53	G	SERDES_TX33P	G	SERDES_RX33P	G	HISPORT_RXP
54	G	SERDES_TX33N	G	SERDES_RX33N	G	HISPORT_RXN
55	SERDES_TX34P	G	SERDES_RX34P	G	TCM_ALERTN	G
56	SERDES_TX34N	G	SERDES_RX34N	G	TCM_RSTN	G
57	G	SERDES_TX35P	G	SERDES_RX35P	G	SPI0_MISO
58	G	SERDES_TX35N	G	SERDES_RX35N	G	SPI0_MOSI
59	PWR_GD	G	CB_RSTN	G	ERR	G
60	PWR_EN		SYS_RST		MMU_RSTN	
61	VCC_STB	G	G	G	VCC	VCC
62	VCC_STB	G		G		VCC
63			VCC	VCC	VCC	VCC
64			VCC		VCC	
	A	B	C	D	E	F

图 3-5 右 1

G	H	J	K	L	
G	JTAG_EN	G			1
G	JTAG_TRST	G			2
USB2_DP1	G	SERDES_RX0P	G	SERDES_TX0P	3
USB2_DM1	G	SERDES_RX0N	G	SERDES_TX0N	4
G	SERDES_RX1P	G	SERDES_TX1P	G	5
G	SERDES_RX1N	G	SERDES_TX1N	G	6
USB3_DP	G	SERDES_RX2P	G	SERDES_TX2P	7
USB3_DM	G	SERDES_RX2N	G	SERDES_TX2N	8
G	SERDES_RX3P	G	SERDES_TX3P	G	9
G	SERDES_RX3N	G	SERDES_TX3N	G	10
LPC_CLK	G	SERDES_RX4P	G	SERDES_TX4P	11
LPC_FRAME	G	SERDES_RX4N	G	SERDES_TX4N	12
G	SERDES_RX5P	G	SERDES_TX5P	G	13
G	SERDES_RX5N	G	SERDES_TX5N	G	14
I2C0_SCL	G	SERDES_RX6P	G	SERDES_TX6P	15
I2C0_SDA	G	SERDES_RX6N	G	SERDES_TX6N	16
G	SERDES_RX7P	G	SERDES_TX7P	G	17
G	SERDES_RX7N	G	SERDES_TX7N	G	18
I2C2_SCL	G	SERDES_RX16P	G	SERDES_TX16P	19
I2C2_SDA	G	SERDES_RX16N	G	SERDES_TX16N	20
G	SERDES_RX17P	G	SERDES_TX17P	G	21
G	SERDES_RX17N	G	SERDES_TX17N	G	22
NCSI_TX_EN	G	SERDES_RX18P	G	SERDES_TX18P	23
NCSI_RX_DV	G	SERDES_RX18N	G	SERDES_TX18N	24
G	SERDES_RX19P	G	SERDES_TX19P	G	25
G	SERDES_RX19N	G	SERDES_TX19N	G	26
SFC_CLK	G	SERDES_RX20P	G	SERDES_TX20P	27
SFC_CS	G	SERDES_RX20N	G	SERDES_TX20N	28
G	SERDES_RX21P	G	SERDES_TX21P	G	29
G	SERDES_RX21N	G	SERDES_TX21N	G	30
MDIO_CK0	G	SERDES_RX22P	G	SERDES_TX22P	31
MDIO_DA0	G	SERDES_RX22N	G	SERDES_TX22N	32
G	SERDES_RX23P	G	SERDES_TX23P	G	33
G	SERDES_RX23N	G	SERDES_TX23N	G	34
UART1_TXD	G	XGE_RX0P	G	XGE_TX0P	35
UART1_RXD	G	XGE_RX0N	G	XGE_TX0N	36
G	XGE_RX1P	G	XGE_TX1P	G	37

图 3-6 右 2

G	XGE_RX1N	G	XGE_TX1N	G	38
GPIO7	G	XGE_RX2P	G	XGE_TX2P	39
GPIO6	G	XGE_RX2N	G	XGE_TX2N	40
G	XGE_RX3P	G	XGE_TX3P	G	41
G	XGE_RX3N	G	XGE_TX3N	G	42
GPIO1	G	XGE_RX4P	G	XGE_TX4P	43
GPIO0	G	XGE_RX4N	G	XGE_TX4N	44
G	XGE_RX5P	G	XGE_TX5P	G	45
G	XGE_RX5N	G	XGE_TX5N	G	46
SGPIO_MOSI	G	XGE_RX6P	G	XGE_TX6P	47
SGPIO_MISO	G	XGE_RX6N	G	XGE_TX6N	48
G	XGE_RX7P	G	XGE_TX7P	G	49
G	XGE_RX7N	G	XGE_TX7N	G	50
HISPORT_TXP	G	SERDES_RX36P	G	SERDES_TX36P	51
HISPORT_TXN	G	SERDES_RX36N	G	SERDES_TX36N	52
G	SERDES_RX37P	G	SERDES_TX37P	G	53
G	SERDES_RX37N	G	SERDES_TX37N	G	54
SPIO_CLK	G	SERDES_RX38P	G	SERDES_TX38P	55
SPIO_CS0	G	SERDES_RX38N	G	SERDES_TX38N	56
G	SERDES_RX39P	G	SERDES_TX39P	G	57
G	SERDES_RX39N	G	SERDES_TX39N	G	58
AUX_CLKP	G	WAKE_IN	G	PWR_STATE[0]	59
AUX_CLKN		PWR_BRK		PWR_STATE[1]	60
G	G	G	PRSENT	G	61
VCC	G		G		62
VCC	VCC	VCC			63
VCC		VCC			64
G	H	J	K	L	

3.4 管脚说明

表 3-1 管脚 I/O 类型说明

I/O	说明
I	输入信号
O	输出信号
I/O	双向输入/输出信号
P	电源
G	地

表 3-2 管脚 I/O 上下拉阻值表

符号	阻值 (ohm)
PD1	10K
PD2	4.7K
PD3	2.2K
PD4	1K
PD5	61.9K
PU1	10K
PU2	4.7K
PU3	2.2K
PU4	200
PU5	61.9K

表 3-3 Serdes 管脚定义

位置	管脚网络名	方向	电压	电平类型	描述
L3	SERDES_TX0P	O	1.8	CML	Serdes lane0发送数据 P端
L4	SERDES_TX0N	O	1.8	CML	Serdes lane0发送数据 N端
J3	SERDES_RX0P	I	1.8	CML	Serdes lane0接收数据 P端
J4	SERDES_RX0N	I	1.8	CML	Serdes lane0接收数据 N端
K5	SERDES_TX1P	O	1.8	CML	Serdes lane1发送数据 P端
K6	SERDES_TX1N	O	1.8	CML	Serdes lane1发送数据 N端
H5	SERDES_RX1P	I	1.8	CML	Serdes lane1接收数据 P端
H6	SERDES_RX1N	I	1.8	CML	Serdes lane1接收数据 N端
L7	SERDES_TX2P	O	1.8	CML	Serdes lane2发送数据 P端
L8	SERDES_TX2N	O	1.8	CML	Serdes lane2发送数据 N端

位置	管脚网络名	方向	电压	电平类型	描述
J7	SERDES_RX2P	I	1.8	CML	Serdes lane2接收数据 P端
J8	SERDES_RX2N	I	1.8	CML	Serdes lane2接收数据 N端
K9	SERDES_TX3P	O	1.8	CML	Serdes lane3发送数据 P端
K10	SERDES_TX3N	O	1.8	CML	Serdes lane3发送数据 N端
H9	SERDES_RX3P	I	1.8	CML	Serdes lane3接收数据 P端
H10	SERDES_RX3N	I	1.8	CML	Serdes lane3接收数据 N端
L11	SERDES_TX4P	O	1.8	CML	Serdes lane4发送数据 P端
L12	SERDES_TX4N	O	1.8	CML	Serdes lane4发送数据 N端
J11	SERDES_RX4P	I	1.8	CML	Serdes lane4接收数据 P端
J12	SERDES_RX4N	I	1.8	CML	Serdes lane4接收数据 N端
K13	SERDES_TX5P	O	1.8	CML	Serdes lane5发送数据 P端
K14	SERDES_TX5N	O	1.8	CML	Serdes lane5发送数据 N端
H13	SERDES_RX5P	I	1.8	CML	Serdes lane5接收数据 P端
H14	SERDES_RX5N	I	1.8	CML	Serdes lane5接收数据 N端
L15	SERDES_TX6P	O	1.8	CML	Serdes lane6发送数据 P端
L16	SERDES_TX6N	O	1.8	CML	Serdes lane6发送数据 N端
J15	SERDES_RX6P	I	1.8	CML	Serdes lane6接收数据 P端
J16	SERDES_RX6N	I	1.8	CML	Serdes lane6接收数据 N端
K17	SERDES_TX7P	O	1.8	CML	Serdes lane7发送数据 P端

位置	管脚网络名	方向	电压	电平类型	描述
K18	SERDES_TX7N	O	1.8	CML	Serdes lane7发送数据 N端
H17	SERDES_RX7P	I	1.8	CML	Serdes lane7接收数据 P端
H18	SERDES_RX7N	I	1.8	CML	Serdes lane7接收数据 N端
A3	SERDES_TX8P	O	1.8	CML	Serdes lane8发送数据 P端
A4	SERDES_TX8N	O	1.8	CML	Serdes lane8发送数据 N端
C3	SERDES_RX8P	I	1.8	CML	Serdes lane8接收数据 P端
C4	SERDES_RX8N	I	1.8	CML	Serdes lane8接收数据 N端
B5	SERDES_TX9P	O	1.8	CML	Serdes lane9发送数据 P端
B6	SERDES_TX9N	O	1.8	CML	Serdes lane9发送数据 N端
D5	SERDES_RX9P	I	1.8	CML	Serdes lane9接收数据 P端
D6	SERDES_RX9N	I	1.8	CML	Serdes lane9接收数据 N端
A7	SERDES_TX10P	O	1.8	CML	Serdes lane10发送数据 P端
A8	SERDES_TX10N	O	1.8	CML	Serdes lane10发送数据 N端
C7	SERDES_RX10P	I	1.8	CML	Serdes lane10接收数据 P端
C8	SERDES_RX10N	I	1.8	CML	Serdes lane10接收数据 N端
B9	SERDES_TX11P	O	1.8	CML	Serdes lane11发送数据 P端
B10	SERDES_TX11N	O	1.8	CML	Serdes lane11发送数据 N端
D9	SERDES_RX11P	I	1.8	CML	Serdes lane11接收数据 P端
D10	SERDES_RX11N	I	1.8	CML	Serdes lane11接收数据 N端

位置	管脚网络名	方向	电压	电平类型	描述
A11	SERDES_TX12P	O	1.8	CML	Serdes lane12发送数据P端
A12	SERDES_TX12N	O	1.8	CML	Serdes lane12发送数据N端
C11	SERDES_RX12P	I	1.8	CML	Serdes lane12接收数据P端
C12	SERDES_RX12N	I	1.8	CML	Serdes lane12接收数据N端
B13	SERDES_TX13P	O	1.8	CML	Serdes lane13发送数据P端
B14	SERDES_TX13N	O	1.8	CML	Serdes lane13发送数据N端
D13	SERDES_RX13P	I	1.8	CML	Serdes lane13接收数据P端
D14	SERDES_RX13N	I	1.8	CML	Serdes lane13接收数据N端
A15	SERDES_TX14P	O	1.8	CML	Serdes lane14发送数据P端
A16	SERDES_TX14N	O	1.8	CML	Serdes lane14发送数据N端
C15	SERDES_RX14P	I	1.8	CML	Serdes lane14接收数据P端
C16	SERDES_RX14N	I	1.8	CML	Serdes lane14接收数据N端
B17	SERDES_TX15P	O	1.8	CML	Serdes lane15发送数据P端
B18	SERDES_TX15N	O	1.8	CML	Serdes lane15发送数据N端
D17	SERDES_RX15P	I	1.8	CML	Serdes lane15接收数据P端
D18	SERDES_RX15N	I	1.8	CML	Serdes lane15接收数据N端
L19	SERDES_TX16P	O	1.8	CML	Serdes lane16发送数据P端
L20	SERDES_TX16N	O	1.8	CML	Serdes lane16发送数据N端
J19	SERDES_RX16P	I	1.8	CML	Serdes lane16接收数据P端

位置	管脚网络名	方向	电压	电平类型	描述
J20	SERDES_RX16N	I	1.8	CML	Serdes lane16接收数据 N端
K21	SERDES_TX17P	O	1.8	CML	Serdes lane17发送数据 P端
K22	SERDES_TX17N	O	1.8	CML	Serdes lane17发送数据 N端
H21	SERDES_RX17P	I	1.8	CML	Serdes lane17接收数据 P端
H22	SERDES_RX17N	I	1.8	CML	Serdes lane17接收数据 N端
L23	SERDES_TX18P	O	1.8	CML	Serdes lane18发送数据 P端
L24	SERDES_TX18N	O	1.8	CML	Serdes lane18发送数据 N端
J23	SERDES_RX18P	I	1.8	CML	Serdes lane18接收数据 P端
J24	SERDES_RX18N	I	1.8	CML	Serdes lane18接收数据 N端
K25	SERDES_TX19P	O	1.8	CML	Serdes lane19发送数据 P端
K26	SERDES_TX19N	O	1.8	CML	Serdes lane19发送数据 N端
H25	SERDES_RX19P	I	1.8	CML	Serdes lane19接收数据 P端
H26	SERDES_RX19N	I	1.8	CML	Serdes lane19接收数据 N端
L27	SERDES_TX20P	O	1.8	CML	Serdes lane20发送数据 P端
L28	SERDES_TX20N	O	1.8	CML	Serdes lane20发送数据 N端
J27	SERDES_RX20P	I	1.8	CML	Serdes lane20接收数据 P端
J28	SERDES_RX20N	I	1.8	CML	Serdes lane20接收数据 N端
K29	SERDES_TX21P	O	1.8	CML	Serdes lane21发送数据 P端
K30	SERDES_TX21N	O	1.8	CML	Serdes lane21发送数据 N端

位置	管脚网络名	方向	电压	电平类型	描述
H29	SERDES_RX21P	I	1.8	CML	Serdes lane21接收数据P端
H30	SERDES_RX21N	I	1.8	CML	Serdes lane21接收数据N端
L31	SERDES_TX22P	O	1.8	CML	Serdes lane22发送数据P端
L32	SERDES_TX22N	O	1.8	CML	Serdes lane22发送数据N端
J31	SERDES_RX22P	I	1.8	CML	Serdes lane22接收数据P端
J32	SERDES_RX22N	I	1.8	CML	Serdes lane22接收数据N端
K33	SERDES_TX23P	O	1.8	CML	Serdes lane23发送数据P端
K34	SERDES_TX23N	O	1.8	CML	Serdes lane23发送数据N端
H33	SERDES_RX23P	I	1.8	CML	Serdes lane23接收数据P端
H34	SERDES_RX23N	I	1.8	CML	Serdes lane23接收数据N端
A35	SERDES_TX24P	O	1.8	CML	Serdes lane24发送数据P端
A36	SERDES_TX24N	O	1.8	CML	Serdes lane24发送数据N端
C35	SERDES_RX24P	I	1.8	CML	Serdes lane24接收数据P端
C36	SERDES_RX24N	I	1.8	CML	Serdes lane24接收数据N端
B37	SERDES_TX25P	O	1.8	CML	Serdes lane25发送数据P端
B38	SERDES_TX25N	O	1.8	CML	Serdes lane25发送数据N端
D37	SERDES_RX25P	I	1.8	CML	Serdes lane25接收数据P端
D38	SERDES_RX25N	I	1.8	CML	Serdes lane25接收数据N端
A39	SERDES_TX26P	O	1.8	CML	Serdes lane26发送数据P端

位置	管脚网络名	方向	电压	电平类型	描述
A40	SERDES_TX26N	O	1.8	CML	Serdes lane26发送数据 N端
C39	SERDES_RX26P	I	1.8	CML	Serdes lane26接收数据 P端
C40	SERDES_RX26N	I	1.8	CML	Serdes lane26接收数据 N端
B41	SERDES_TX27P	O	1.8	CML	Serdes lane27发送数据 P端
B42	SERDES_TX27N	O	1.8	CML	Serdes lane27发送数据 N端
D41	SERDES_RX27P	I	1.8	CML	Serdes lane27接收数据 P端
D42	SERDES_RX27N	I	1.8	CML	Serdes lane27接收数据 N端
A43	SERDES_TX28P	O	1.8	CML	Serdes lane28发送数据 P端
A44	SERDES_TX28N	O	1.8	CML	Serdes lane28发送数据 N端
C43	SERDES_RX28P	I	1.8	CML	Serdes lane28接收数据 P端
C44	SERDES_RX28N	I	1.8	CML	Serdes lane28接收数据 N端
B45	SERDES_TX29P	O	1.8	CML	Serdes lane29发送数据 P端
B46	SERDES_TX29N	O	1.8	CML	Serdes lane29发送数据 N端
D45	SERDES_RX29P	I	1.8	CML	Serdes lane29接收数据 P端
D46	SERDES_RX29N	I	1.8	CML	Serdes lane29接收数据 N端
A47	SERDES_TX30P	O	1.8	CML	Serdes lane30发送数据 P端
A48	SERDES_TX30N	O	1.8	CML	Serdes lane30发送数据 N端
C47	SERDES_RX30P	I	1.8	CML	Serdes lane30接收数据 P端
C48	SERDES_RX30N	I	1.8	CML	Serdes lane30接收数据 N端

位置	管脚网络名	方向	电压	电平类型	描述
B49	SERDES_TX31P	O	1.8	CML	Serdes lane31发送数据P端
B50	SERDES_TX31N	O	1.8	CML	Serdes lane31发送数据N端
D49	SERDES_RX31P	I	1.8	CML	Serdes lane31接收数据P端
D50	SERDES_RX31N	I	1.8	CML	Serdes lane31接收数据N端
A51	SERDES_TX32P	O	1.8	CML	Serdes lane32发送数据P端
A52	SERDES_TX32N	O	1.8	CML	Serdes lane32发送数据N端
C51	SERDES_RX32P	I	1.8	CML	Serdes lane32接收数据P端
C52	SERDES_RX32N	I	1.8	CML	Serdes lane32接收数据N端
B53	SERDES_TX33P	O	1.8	CML	Serdes lane33发送数据P端
B54	SERDES_TX33N	O	1.8	CML	Serdes lane33发送数据N端
D53	SERDES_RX33P	I	1.8	CML	Serdes lane33接收数据P端
D54	SERDES_RX33N	I	1.8	CML	Serdes lane33接收数据N端
A55	SERDES_TX34P	O	1.8	CML	Serdes lane34发送数据P端
A56	SERDES_TX34N	O	1.8	CML	Serdes lane34发送数据N端
C55	SERDES_RX34P	I	1.8	CML	Serdes lane34接收数据P端
C56	SERDES_RX34N	I	1.8	CML	Serdes lane34接收数据N端
B57	SERDES_TX35P	O	1.8	CML	Serdes lane35发送数据P端
B58	SERDES_TX35N	O	1.8	CML	Serdes lane35发送数据N端
D57	SERDES_RX35P	I	1.8	CML	Serdes lane35接收数据P端

位置	管脚网络名	方向	电压	电平类型	描述
D58	SERDES_RX35N	I	1.8	CML	Serdes lane35接收数据 N端
L51	SERDES_TX36P	O	1.8	CML	Serdes lane36发送数据 P端
L52	SERDES_TX36N	O	1.8	CML	Serdes lane36发送数据 N端
J51	SERDES_RX36P	I	1.8	CML	Serdes lane36接收数据 P端
J52	SERDES_RX36N	I	1.8	CML	Serdes lane36接收数据 N端
K53	SERDES_TX37P	O	1.8	CML	Serdes lane37发送数据 P端
K54	SERDES_TX37N	O	1.8	CML	Serdes lane37发送数据 N端
H53	SERDES_RX37P	I	1.8	CML	Serdes lane37接收数据 P端
H54	SERDES_RX37N	I	1.8	CML	Serdes lane37接收数据 N端
L55	SERDES_TX38P	O	1.8	CML	Serdes lane38发送数据 P端
L56	SERDES_TX38N	O	1.8	CML	Serdes lane38发送数据 N端
J55	SERDES_RX38P	I	1.8	CML	Serdes lane38接收数据 P端
J56	SERDES_RX38N	I	1.8	CML	Serdes lane38接收数据 N端
K57	SERDES_TX39P	O	1.8	CML	Serdes lane39发送数据 P端
K58	SERDES_TX39N	O	1.8	CML	Serdes lane39发送数据 N端
H57	SERDES_RX39P	I	1.8	CML	Serdes lane39接收数据 P端
H58	SERDES_RX39N	I	1.8	CML	Serdes lane39接收数据 N端

表 3-4 XGE 管脚定义

位置	管脚网络名	方向	电压	电平类型	描述
L35	XGE_TX0P	O	1.8	CML	XGE lane0发送数据P端
L36	XGE_TX0N	O	1.8	CML	XGE lane0发送数据N端
J35	XGE_RX0P	I	1.8	CML	XGE lane0接收数据P端
J36	XGE_RX0N	I	1.8	CML	XGE lane0接收数据N端
K37	XGE_TX1P	O	1.8	CML	XGE lane1发送数据P端
K38	XGE_TX1N	O	1.8	CML	XGE lane1发送数据N端
H37	XGE_RX1P	I	1.8	CML	XGE lane1接收数据P端
H38	XGE_RX1N	I	1.8	CML	XGE lane1接收数据N端
L39	XGE_TX2P	O	1.8	CML	XGE lane2发送数据P端
L40	XGE_TX2N	O	1.8	CML	XGE lane2发送数据N端
J39	XGE_RX2P	I	1.8	CML	XGE lane2接收数据P端
J40	XGE_RX2N	I	1.8	CML	XGE lane2接收数据N端
K41	XGE_TX3P	O	1.8	CML	XGE lane3发送数据P端
K42	XGE_TX3N	O	1.8	CML	XGE lane3发送数据N端
H41	XGE_RX3P	I	1.8	CML	XGE lane3接收数据P端
H42	XGE_RX3N	I	1.8	CML	XGE lane3接收数据N端
L43	XGE_TX4P	O	1.8	CML	XGE lane4发送数据P端
L44	XGE_TX4N	O	1.8	CML	XGE lane4发送数据N端
J43	XGE_RX4P	I	1.8	CML	XGE lane4接收数据P端
J44	XGE_RX4N	I	1.8	CML	XGE lane4接收数据N端
K45	XGE_TX5P	O	1.8	CML	XGE lane5发送数据P端
K46	XGE_TX5N	O	1.8	CML	XGE lane5发送数据N端
H45	XGE_RX5P	I	1.8	CML	XGE lane5接收数据P端

位置	管脚网络名	方向	电压	电平类型	描述
H46	XGE_RX5N	I	1.8	CML	XGE lane5接收数据N端
L47	XGE_TX6P	O	1.8	CML	XGE lane6发送数据P端
L48	XGE_TX6N	O	1.8	CML	XGE lane6发送数据N端
J47	XGE_RX6P	I	1.8	CML	XGE lane6接收数据P端
J48	XGE_RX6N	I	1.8	CML	XGE lane6接收数据N端
K49	XGE_TX7P	O	1.8	CML	XGE lane7发送数据P端
K50	XGE_TX7N	O	1.8	CML	XGE lane7发送数据N端
H49	XGE_RX7P	I	1.8	CML	XGE lane7接收数据P端
H50	XGE_RX7N	I	1.8	CML	XGE lane7接收数据N端

表 3-5 HCCS 管脚定义

位置	管脚网络名	方向	电压	电平类型	描述
A19	HCCS_TX0P	O	1.8	CML	HCCS lane0发送数据P端
A20	HCCS_TX0N	O	1.8	CML	HCCS lane0发送数据N端
C19	HCCS_RX0P	I	1.8	CML	HCCS lane0接收数据P端
C20	HCCS_RX0N	I	1.8	CML	HCCS lane0接收数据N端
B21	HCCS_TX1P	O	1.8	CML	HCCS lane1发送数据P端
B22	HCCS_TX1N	O	1.8	CML	HCCS lane1发送数据N端
D21	HCCS_RX1P	I	1.8	CML	HCCS lane1接收数据P端
D22	HCCS_RX1N	I	1.8	CML	HCCS lane1接收数据N端
A23	HCCS_TX2P	O	1.8	CML	HCCS lane2发送数据P端

位置	管脚网络名	方向	电压	电平类型	描述
A24	HCCS_TX2N	O	1.8	CML	HCCS lane2发送数据N端
C23	HCCS_RX2P	I	1.8	CML	HCCS lane2接收数据P端
C24	HCCS_RX2N	I	1.8	CML	HCCS lane2接收数据N端
B25	HCCS_TX3P	O	1.8	CML	HCCS lane3发送数据P端
B26	HCCS_TX3N	O	1.8	CML	HCCS lane3发送数据N端
D25	HCCS_RX3P	I	1.8	CML	HCCS lane3接收数据P端
D26	HCCS_RX3N	I	1.8	CML	HCCS lane3接收数据N端
A27	HCCS_TX4P	O	1.8	CML	HCCS lane4发送数据P端
A28	HCCS_TX4N	O	1.8	CML	HCCS lane4发送数据N端
C27	HCCS_RX4P	I	1.8	CML	HCCS lane4接收数据P端
C28	HCCS_RX4N	I	1.8	CML	HCCS lane4接收数据N端
B29	HCCS_TX5P	O	1.8	CML	HCCS lane5发送数据P端
B30	HCCS_TX5N	O	1.8	CML	HCCS lane5发送数据N端
D29	HCCS_RX5P	I	1.8	CML	HCCS lane5接收数据P端
D30	HCCS_RX5N	I	1.8	CML	HCCS lane5接收数据N端
A31	HCCS_TX6P	O	1.8	CML	HCCS lane6发送数据P端
A32	HCCS_TX6N	O	1.8	CML	HCCS lane6发送数据N端
C31	HCCS_RX6P	I	1.8	CML	HCCS lane6接收数据P端
C32	HCCS_RX6N	I	1.8	CML	HCCS lane6接收数据N端

位置	管脚网络名	方向	电压	电平类型	描述
B33	HCCS_TX7P	O	1.8	CML	HCCS lane7发送数据P端
B34	HCCS_TX7N	O	1.8	CML	HCCS lane7发送数据N端
D33	HCCS_RX7P	I	1.8	CML	HCCS lane7接收数据P端
D34	HCCS_RX7N	I	1.8	CML	HCCS lane7接收数据N端

表 3-6 时钟管脚定义

位置	管脚网络名	类型	电压	电平类型	描述
F9	CLK_100MP	O	1.8	LVDS	100M差分时钟输出P端
F10	CLK_100MN	O	1.8	LVDS	100M差分时钟输出N端
G59	AUX_CLK	I	1.8	LVC MOS	辅助参考时钟单端输入
	AUX_CLKP	I	1.8	LVPECL	辅助参考时钟差分输入P端
G60	AUX_CLKN	I	1.8	LVPECL	辅助参考时钟差分输入N端

表 3-7 USB 管脚定义

位置	管脚网络名	类型	电压	电平标准	描述
E3	USB2_DP0	I/O	3.3	USB	USB2.0-0 HS/FS/LS DP 信号
E4	USB2_DM0	I/O	3.3	USB	USB2.0-0 HS/FS/LS DM信号
G3	USB2_DP1	I/O	3.3	USB	USB2.0-1 HS/FS/LS DP 信号
G4	USB2_DM1	I/O	3.3	USB	USB2.0-1 HS/FS/LS DM信号
G7	USB3_DP0	I/O	3.3	USB	USB3.0 HS/FS/LS DP信号
G8	USB3_DM0	I/O	3.3	USB	USB3.0 HS/FS/LS DM 信号

位置	管脚网络名	类型	电压	电平标准	描述
E7	USB3_TX0P	O	0.8	USB	USB3.0 Super-Speed 模式发送差分正信号
E8	USB3_TX0N	O	0.8	USB	USB3.0 Super-Speed 模式发送差分正信号
F5	USB3_RX0P	I	0.8	USB	USB3.0 Super-Speed 模接收差分正信号
F6	USB3_RX0N	I	0.8	USB	USB3.0 Super-Speed 模接收送差分正信号

表 3-8 NCSI 管脚（预留）定义

位置	管脚网络名	类型	电压	电平类型	描述
G23	NCSI_TX_EN	I _{PU1}	1.8	LVC MOS	NCSI 接口输入数据有效指示
G24	NCSI_RX_DV	O	1.8	LVC MOS	NCSI 接口输出数据有效指示
F21	NCSI_TXD0	I	1.8	LVC MOS	NCSI 接口输入数据0
F22	NCSI_TXD1	I _{PD4}	1.8	LVC MOS	NCSI 接口输入数据1
E23	NCSI_RXD0	O	1.8	LVC MOS	NCSI 接口输出数据0
E24	NCSI_RXD1	O	1.8	LVC MOS	NCSI 接口输出数据1
F25	NCSI_REF_CLK	I	1.8	LVC MOS	NCSI 接口输入时钟
F26	NCSI_RX_ERR	O	1.8	LVC MOS	NCSI 接口输出错误指示

表 3-9 MDIO 管脚定义

位置	管脚网络名	类型	电压	电平类型	描述
G31	MDIO_CLK0	O	1.8	LVC MOS	MDIO 时钟信号0
G32	MDIO_DATA0	I/O _{PU3}	1.8	LVC MOS	MDIO 数据信号0
E31	MDIO_CLK1	O _{PU1}	1.8	LVC MOS	MDIO 时钟信号1
E32	MDIO_DATA1	I/O _{PU3}	1.8	LVC MOS	MDIO 数据信号1

表 3-10 SGPIO 管脚定义

位置	管脚网络名	类型	电压	电平类型	描述
F45	SGPIO_CLK	O	3.3V _ST B	LVC MOS	Sgpio bit stream 时钟 信号
F46	SGPIO_LOAD	O	3.3V _ST B	LVC MOS	Sgpio bit stream 传输 结束信号
G47	SGPIO_MOSI	O	3.3V _ST B	LVC MOS	Sgpio bit stream 串行 数据输出
G48	SGPIO_MISO	I	3.3V _ST B	LVC MOS	Sgpio bit stream 串行 数据输入

表 3-11 LPC 管脚定义

位置	管脚网络名	类型	电压	电平类型	描述
G11	LPC_CLK	O	1.8	LVC MOS	LPC时钟输出
G12	LPC_FRAME	O _{PU2}	1.8	LVC MOS	LPC帧有效
E12	LPC_IRQN	I _{PU4}	1.8	LVC MOS	LPC中断输入
F13	LPC_AD0	I/O	1.8	LVC MOS	LPC地址数据0
F14	LPC_AD1	I/O	1.8	LVC MOS	LPC地址数据1
E15	LPC_AD2	I/O _{PU5}	1.8	LVC MOS	LPC地址数据2
E16	LPC_AD3	I/O _{PU5}	1.8	LVC MOS	LPC地址数据3
E11	LPC_RST	O	1.8	LVC MOS	LPC复位输出

如果LPC接口不与BMC对接，而和其他器件对接实现私有协议通信时，需要有误码校验。

表 3-12 SFC 管脚定义

位置	网络名	类型	电压	电平类型	描述
E51	SFC_SEL	I _{PU1}	3.3V _ST B	LVC MOS	SFC选择输入，模组上 10K上拉 1：CPU<-->FLASH 0：BMC<-->FLASH

位置	网络名	类型	电压	电平类型	描述
G27	SFC_CLK	O	1.8	LVC MOS	送给SPI Flash 的时钟信号
G28	SFC_CS	O	1.8	LVC MOS	片选信号，低有效
E27	SFC_MISO	I/O	1.8	LVC MOS	在Standard SPI 模式，为数据的输入信号 在Dual SPI 模式下，为数据的输入输出信号 在Quad SPI 模式下，为数据的输入输出信号
E28	SFC_MOSI	I/O	1.8	LVC MOS	在Standard SPI 模式，为数据的输出信号 在Dual SPI 模式下，为数据的输入输出信号 在Quad SPI 模式下，为数据的输入输出信号
F29	SFC_WP_IO2	I/O	1.8	LVC MOS	在Standard SPI 模式，作为write protect 功能，低有效 在Dual SPI 模式下，作为write protect 功能，低有效 在Quad SPI 模式下，为数据的输入输出信号
F30	SFC_HOLD_IO3	I/O	1.8	LVC MOS	在Standard SPI 模式，作为holdt功能，低有效 在Dual SPI 模式下，作为holdt 功能，低有效 在Quad SPI 模式下，为数据的输入输出信号

表 3-13 SPI 管脚定义

位置	管脚网络名	类型	电压	电平类型	描述
G55	SPIO_CLK	O _{PD4}	1.8	LVC MOS	SPI时钟输出
G56	SPIO_CS0	O _{PU2}	1.8	LVC MOS	SPI片选0
F57	SPIO_MISO	I _{PD5}	1.8	LVC MOS	SPI 数据输入
F58	SPIO_MOSI	O	1.8	LVC MOS	SPI 数据输出
E55	TCM_ALERTN	I _{PU2}	1.8	LVC MOS	TCM中断输入

位置	管脚网络名	类型	电压	电平类型	描述
E56	TCM_RSTN	O	1.8	LVC MOS	TCM复位输出

表 3-14 Hisport 管脚定义

位置	管脚网络名	类型	电压	电平类型	描述
G51	Hisport_TXP	O	3.3V _ST B	LVDS	Hisport发送P
G52	Hisport_TXN	O	3.3V _ST B	LVDS	Hisport发送N
F54	Hisport_RXN	I	3.3V _ST B	LVDS	Hisport接收N
F53	Hisport_RXP	I	3.3V _ST B	LVDS	Hisport接收P

表 3-15 低速 IO 管脚定义

位置	管脚网络名	类型	电压	电平类型	描述
G15	CPU_I2C0_SCL	O _{PU3}	1.8	LVC MOS	CPU I2C0时钟
G16	CPU_I2C0_SDA	I/O _{PU3}	1.8	LVC MOS	CPU I2C0数据
F17	CPU_I2C1_SCL	O _{PU3}	1.8	LVC MOS	CPU I2C1时钟，支持 IPMB
F18	CPU_I2C1_SDA	I/O _{PU3}	1.8	LVC MOS	CPU I2C1数据，支持 IPMB
G19	CPU_I2C2_SCL	O _{PU3}	1.8	LVC MOS	CPU I2C2时钟
G20	CPU_I2C2_SDA	I/O _{PU3}	1.8	LVC MOS	CPU I2C2数据
E19	CPU_I2C3_SCL	O _{PU3}	1.8	LVC MOS	CPU I2C3时钟
E20	CPU_I2C3_SDA	I/O _{PU3}	1.8	LVC MOS	CPU I2C3数据
F49	CPLD_I2C0_SCL	I	3.3V _ST B	LVC MOS	CPLD I2C0时钟，从模式

位置	管脚网络名	类型	电压	电平类型	描述
F50	CPLD_I2C0_SDA	I/O	3.3V _ST B	LVC MOS	CPLD I2C0数据，从模式
E47	GPIO30	I/O _{PU2}	3.3V _ST B	LVC MOS	CPLD GPIO30
E48	GPIO31	I/O _{PU2}	3.3V _ST B	LVC MOS	CPLD GPIO31
F33	UART_TXD0	O	3.3V _ST B	LVC MOS	串口0数据发送
	GPIO18	I/O _{PU5}	3.3V _ST B	LVC MOS	CPLD GPIO18
F34	UART_RXD0	I	3.3V _ST B	LVC MOS	串口0数据接收
	GPIO19	I/O _{PU5}	3.3V _ST B	LVC MOS	CPLD GPIO19
G35	UART_TXD1	O	3.3V _ST B	LVC MOS	串口1数据发送
	GPIO20	I/O _{PU5}	3.3V _ST B	LVC MOS	CPLD GPIO20
G36	UART_RXD1	I	3.3V _ST B	LVC MOS	串口1数据接收
	GPIO21	I/O _{PU5}	3.3V _ST B	LVC MOS	CPLD GPIO21
E35	UART_TXD2	O	3.3V _ST B	LVC MOS	串口2数据发送
	GPIO22	I/O _{PU5}	3.3V _ST B	LVC MOS	CPLD GPIO22

位置	管脚网络名	类型	电压	电平类型	描述
E36	UART_RXD2	I	3.3V _ST B	LVC MOS	串口2数据接收
	GPIO23	I/O _{PU5}	3.3V _ST B	LVC MOS	CPLD GPIO23
G44	GPIO0	I/O	3.3V _ST B	LVC MOS	BOOT[1:0] • 11: CHIP_ID (00) (主) • 10/00/01: RSV BOOT[2] • 0: MP模式, 保留 • 1: 单P模式 BOOT[3] RSV CPU GPIO[0:3]
	BOOT0	I _{PU5}	3.3V _ST B	LVC MOS	
G43	GPIO1	I/O	3.3V _ST B	LVC MOS	
	BOOT1	I _{PU5}	3.3V _ST B	LVC MOS	
E44	GPIO2	I/O	3.3V _ST B	LVC MOS	
	BOOT2	I _{PU5}	3.3V _ST B	LVC MOS	
E43	GPIO3	I/O	3.3V _ST B	LVC MOS	
	BOOT3	I _{PU5}	3.3V _ST B	LVC MOS	
F42	GPIO4	I/O _{PU5}	3.3V _ST B	LVC MOS	CPLD GPIO4
	PCle_RSTN	O	3.3V _ST B	LVC MOS	PCle复位输出0
F41	GPIO5	I/O _{PU5}	3.3V _ST B	LVC MOS	CPLD GPIO5

位置	管脚网络名	类型	电压	电平类型	描述
	PCIe_RSTN	O	3.3V_STB	LVC MOS	PCIe复位输出1
G40	GPIO6	I/O _{PU5}	3.3V_STB	LVC MOS	CPLD GPIO6
	CPU_INTN0	I	3.3V_STB	LVC MOS	CPU中断输入0
G39	GPIO7	I/O _{PU5}	3.3V_STB	LVC MOS	CPLD GPIO7
	CPU_INTN1	I	3.3V_STB	LVC MOS	CPU中断输入1
E40	GPIO8	I/O _{PU5}	3.3V_STB	LVC MOS	CPLD GPIO8
	BOOT_STATE	O	3.3V_STB	LVC MOS	0: 当前处于Bootrom阶段 1: 当前处于UEFI阶段
E39	GPIO9	I/O _{PU5}	3.3V_STB	LVC MOS	CPLD GPIO9
	RST_INOUT	I/O	3.3V_STB	LVC MOS	主片复位输出, 从片复位输入
F38	GPIO10	I/O _{PU5}	1.8V_STB	LVC MOS	CPLD GPIO10
	SYNC_OUT	O	1.8V_STB	LVC MOS	主片同步信号输出
F37	SYNC_IN	I	1.8V_STB	LVC MOS	同步信号输入
D2	JTAG_TCK	I _{PD4}	3.3V_STB	LVC MOS	JTAG时钟输入

位置	管脚网络名	类型	电压	电平类型	描述
	GPIO12	I/O _{PD4}	3.3V _{STB}	LVCMOS	CPLD GPIO12
D1	JTAG_TDI	I _{PU2}	3.3V _{STB}	LVCMOS	JTAG数据输入
	GPIO13	I/O _{PU2}	3.3V _{STB}	LVCMOS	CPLD GPIO13
F2	JTAG_TDO	O _{PU2}	3.3V _{STB}	LVCMOS	JTAG数据输出
	GPIO14	I/O _{PU2}	3.3V _{STB}	LVCMOS	CPLD GPIO14
F1	JTAG_TMS	O _{PU2}	3.3V _{STB}	LVCMOS	JATG TMS
	GPIO15	I/O _{PU2}	3.3V _{STB}	LVCMOS	CPLD GPIO15
H2	JTAG_TRST	I _{PD4}	3.3V _{STB}	LVCMOS	JTAG复位输入
	GPIO16	I/O _{PD4}	3.3V _{STB}	LVCMOS	CPLD GPIO16
H1	JTAG_EN	I _{PU1}	3.3V _{STB}	LVCMOS	JTAG使能，高有效，低为GPIO模式
	GPIO17	I/O _{PU1}	3.3V _{STB}	LVCMOS	CPLD GPIO17

表 3-16 系统控制管脚定义

位置	管脚网络名	类型	电压	电平标准	描述
A60	PWR_EN	I _{PU1}	3.3V _{STB}	LVCMOS	电源使能，高有效

位置	管脚网络名	类型	电压	电平标准	描述
A59	PWR_GD	O	3.3V _ST B	LVC MOS	模块电源PG输出，高有效
C60	SYS_RSTN	I _{PU1}	3.3V _ST B	LVC MOS	模组复位输入，业务单独复位
C59	CB_RSTN	O	3.3V _ST B	LVC MOS	外设复位输出，低有效
E60	MMU_RSTN	I _{PU1}	3.3V _ST B	LVC MOS	模组管理单元复位，低有效（仅限STBY电源域）
E59	WDT_OUT	O	3.3V _ST B	LVC MOS	看门狗心跳输出，1Hz
	PROCHOT	O	3.3V _ST B	LVC MOS	过热信号输出，低有效；为低时需要立即下电保护处理；
	CATERR	O	3.3V _ST B	LVC MOS	致命错误输出，低有效；为低时需要立即下电保护处理；
J60	PWR_BRK	I _{PU1}	3.3V _ST B	LVC MOS	降低系统功耗请求输入，低有效（预留）
J59	WAKEN_IN	I _{PU1}	3.3V _ST B	LVC MOS	系统唤醒请求，低有效（预留）
L60	PWR_STATE[1]	O	3.3V _ST B	LVC MOS	PWR_STATE[1:0] ● 00：关机状态 ● 01：一级节能状态 ● 10：二级节能状态 ● 11：正常状态
L59	PWR_STATE[0]	O	3.3V _ST B	LVC MOS	
K61	PRSNT	O	3.3V _ST B	LVC MOS	模组在位检测信号

表 3-17 电源管脚定义

位置	管脚网络名	类型	电压	描述
E61、E62、F61、 F62、G61、G62、 C63、C64、D63、 D64、E63、E64、 F63、F64、G63、 G64、H63、H64、 J63、J64	12V_VCC	P	12	12V电源输入
A61、A62	3V3_STBY	P	3.3	3.3V STBY电源输入
B61、B62、C61、 C62、D61、D62、 H61、H62、J61、 J62、K62、L61、L62	GND	G	Ground	地

位置	管脚网络名	类型	电压	描述
A5、A6、A9、A10、 A13、A14、A17、 A18、A21、A22、 A25、A26、A29、 A30、A33、A34、 A37、A38、A41、 A42、A45、A46、 A49、A50、A53、 A54、A57、A58、 B3、B4、B7、B8、 B11、B12、B15、 B16、B19、B20、 B23、B24、B27、 B28、B31、B32、 B35、B36、B39、 B40、B43、B44、 B47、B48、B51、 B52、B55、B56、 B59、B60、C1、 C2、C5、C6、C9、 C10、C13、C14、 C17、C18、C21、 C22、C25、C26、 C29、C30、C33、 C34、C37、C38、 C41、C42、C45、 C46、C49、C50、 C53、C54、C57、 C58、D3、D4、D7、 D8、D11、D12、 D15、D16、D19、 D20、D23、D24、 D27、D28、D31、 D32、D35、D36、 D39、D40、D43、 D44、D47、D48、 D51、D52、D55、 D56、D59、D60、 E1、E2、E5、E6、 E9、E10、E13、 E14、E17、E18、 E21、E22、E25、 E26、E29、E30、 E33、E34、E37、 E38、E41、E42、 E45、E46、E49、 E50、E53、E54、 E57、E58、F3、F4、 F7、F8、F11、F12、 F15、F16、F19、	GND	G	Ground	地

位置	管脚网络名	类型	电压	描述
F20、F23、F24、 F27、F28、F31、 F32、F35、F36、 F39、F40、F43、 F44、F47、F48、 F51、F52、F55、 F56、F59、F60、 G1、G2、G5、G6、 G9、G10、G13、 G14、G17、G18、 G21、G22、G25、 G26、G29、G30、 G33、G34、G37、 G38、G41、G42、 G45、G46、G49、 G50、G53、G54、 G57、G58、H3、 H4、H7、H8、 H11、H12、H15、 H16、H19、H20、 H23、H24、H27、 H28、H31、H32、 H35、H36、H39、 H40、H43、H44、 H47、H48、H51、 H52、H55、H56、 H59、H60、J1、J2、 J5、J6、J9、J10、 J13、J14、J17、 J18、J21、J22、 J25、J26、J29、 J30、J33、J34、 J37、J38、J41、 J42、J45、J46、 J49、J50、J53、 J54、J57、J58、K3、 K4、K7、K8、K11、 K12、K15、K16、 K19、K20、K23、 K24、K27、K28、 K31、K32、K35、 K36、K39、K40、 K43、K44、K47、 K48、K51、K52、 K55、K56、K59、 K60、L5、L6、L9、 L10、L13、L14、 L17、L18、L21、 L22、L25、L26、 L29、L30、L33、				

位置	管脚网络名	类型	电压	描述
L34、L37、L38、 L41、L42、L45、 L46、L49、L50、 L53、L54、L57、L58				

4 高速分配说明

表 4-1 Serdes 模式复用关系

名称	PHY Port	Mode1	Mode2	Mode3
Serdes[0:3]	Hilink7[0:3]	PCIE控制器1 lane[8:11]	-	-
Serdes[4:7]	Hilink10[0:3]	PCIE控制器1 lane[12:15]	-	-
Serdes[8:15]	Hilink8[0:7]	PCIE控制器1 lane[0:7]	-	-
Serdes[24:31]	Hilink6[0:7]	PCIE控制器0 lane[8:15]	SAS控制器0	-
Serdes[32:35]	Hilink9[0:3]	PCIE控制器2 lane[4:7]	-	-
Serdes[36]	Hilink4[1]	SATA控制器 lane1	-	-
Serdes[37]	Hilink5[1]	PCIE控制器0 lane7	-	-
Serdes[38]	Hilink4[0]	SATA控制器 lane0	-	-
Serdes[39]	Hilink5[0]	PCIE控制器0 lane5	-	-
10GE[0:3]	Hilink3[0:3]	以太网接口0	-	以太网接口0
		以太网接口1	-	
		以太网接口2	-	
		以太网接口3	-	
XGE[4:7]	Hilink2[0:3]	以太网接口4	以太网接口4	以太网接口4
		以太网接口5		

名称	PHY Port	Mode1	Mode2	Mode3
		以太网接口6	以太网接口6	
		以太网接口7		

表 4-2 Hilin3 网口复用关系

网口速率	Hilink3			
4*10GE/GE	Mac0	Mac1	Mac2	Mac3
	Lane0	Lane1	Lane2	Lane3
	1GE/10GE	1GE/10GE	1GE/10GE	1GE/10GE
1*40GE/20GE/ 10GE/GE	Mac0			
	Lane0	Lane1	Lane2	Lane3
	1GE/10GE	1GE/10GE	1GE/10GE	1GE/10GE

Hilink3每组最多支持2种网络速率。

表 4-3 Hilink2 网口复用关系

网口速率	Hilink2			
4*25GE/10GE/GE	Mac4	Mac5	Mac6	Mac7
	Lane0	Lane1	Lane2	Lane3
	1GE/10GE/ 25GE	1GE/10GE/ 25GE	1GE/10GE/ 25GE	1GE/10GE/ 25GE
2*50GE/25GE/ 10GE/GE	Mac4		Mac6	
	Lane0	Lane1	Lane2	Lane3
	1GE/10GE/ 25GE	1GE/10GE/ 25GE	1GE/10GE/ 25GE	1GE/10GE/ 25GE
1*100GE/50GE/ 25GE/10GE/GE	Mac4			
	Lane0	Lane1	Lane2	Lane3
	1GE/10GE/ 25GE	1GE/10GE/ 25GE	1GE/10GE/ 25GE	1GE/10GE/ 25GE

Hilink2每组最多支持2种网络速率。

支持协议：

- 10GE端口：10GBASE-R, 10GBASE-KR, 10GBASE-CR
- 25GE端口：25GBASE-R, 25GBASE-KR, 25GBASE-CR
- 40GE端口：40GBASE-R, 40GBASE-KR4, 40GBASE-CR4
- 50GE端口：50GBASE-R, 50GBASE-KR2, 50GBASE-CR2
- 100GE端口：100GBASE-R, 100GBASE-KR4, 100GBASE-CR4

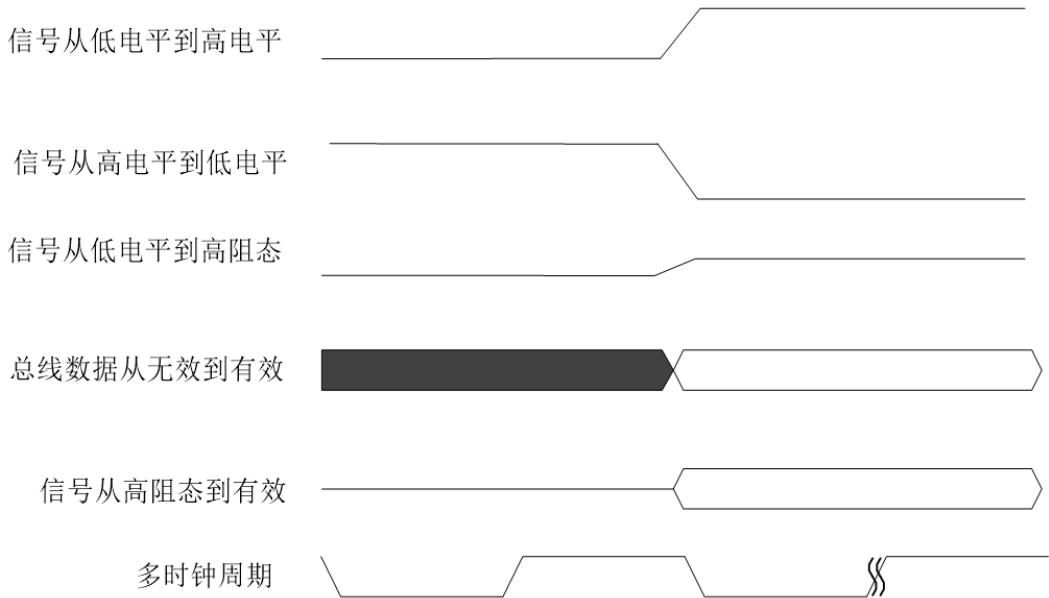
5 时序参数

- 5.1 时序图例
- 5.2 NCSI时序参数
- 5.3 UART时序参数
- 5.4 SFC时序参数
- 5.5 SPI时序参数
- 5.6 MDIO时序参数
- 5.7 I2C时序参数
- 5.8 JTAG时序参数
- 5.9 SGPIO时序参数
- 5.10 Hisport时序参数

5.1 时序图例

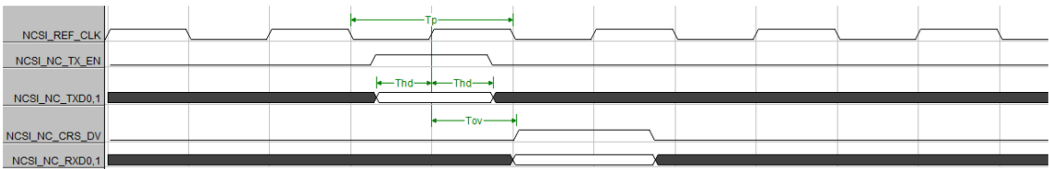
本章时序图中的图元说明如图6-1所示。

图 5-1 时序图元说明



5.2 NCSI 时序参数

图 5-2 NCSI 接口时序图



NCSI时序参数说明如下表所示，包括管脚输入输出延迟影响。

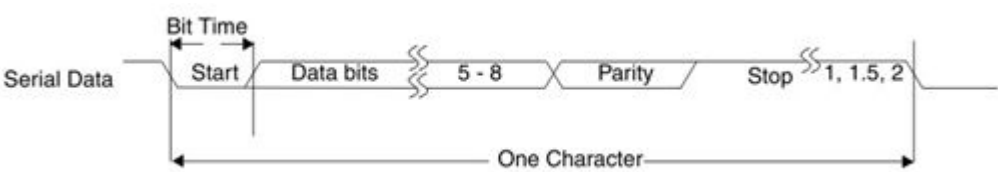
表 5-1 NCSI 各信号相对内部时钟 input/output Delay 参数表

参数	符号	最小值	典型值	最大值	单位
NCSI时钟周期	T_p	-	20	-	ns
NCSI信号建立时间	T_{su}	4	-	-	ns
NCSI信号保持时间	T_{hd}	2.5	-	-	ns
NCSI输出信号延时	T_{ov}	0	-	7	ns

5.3 UART 时序参数

UART 接口时序如图6-3 所示，其中BitTime 为一个bit 的时间宽度，实际跟UART 设置的波特率相关。

图 5-3 UART 接口时序图



5.4 SFC 时序参数

SFC支持2种频率：50MHz、25MHz，按照高频50MHz给出时序参数。

图 5-4 SFC 接口时序图

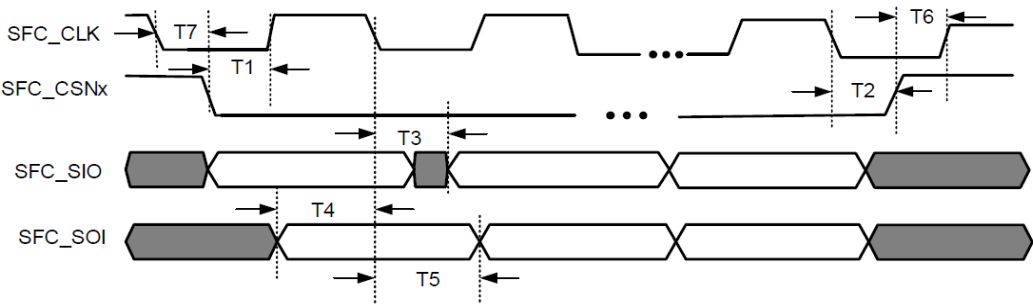


表 5-2 SFC 接口 50MHz 时序参数

参数	符号	最小值	典型值	最大值	单位
SFC_CLK时钟周期	TCYCLE	-	20	-	ns
SFC_CSN下降沿到SFC_CLK上沿的建立时间	T1	TCYCLE-1	7*TCYCLE	-	ns
SFC_CLK下降沿到的SFC_CSN上升沿的保持时间	T2	TCYCLE-1	7*TCYCLE	-	ns
SFC_CLK下降沿到输出数据有效的延时	T3	-1	-	2	ns
输入数据有效到SFC_CLK下降沿的建立时间	T4	6	-	-	ns
SFC_CLK下降沿到输入数据无效的保持时间	T5	0	-	-	ns
SFC_CSN上升沿到SFC_CLK上沿的建立时间	T6	TCYCLE-1	-	-	ns

5.5 SPI 时序参数

图 5-5 SPI 接口时序图

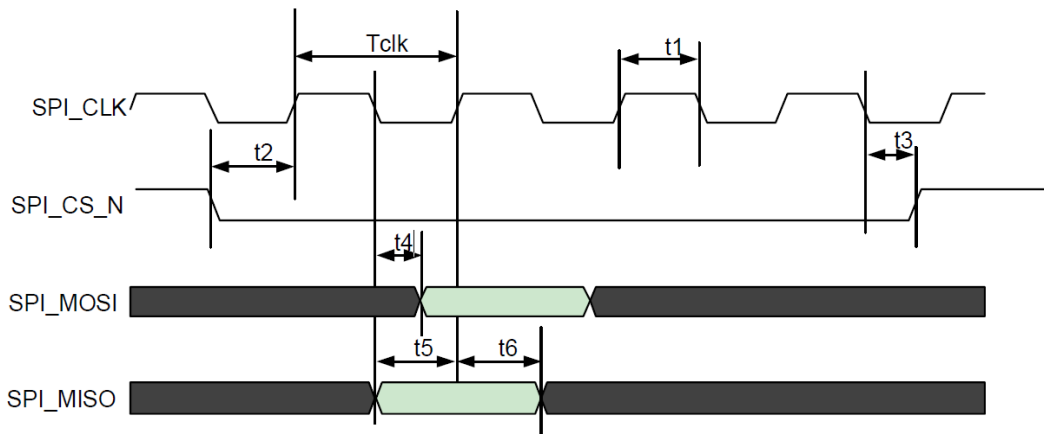


表 5-3 SPI 接口时序参数

参数	符号	最小值	典型值	最大值	单位
SPI_CLK时钟周期	TClk	40	-	-	ns
SPI_CLK高电平宽度	T1	0.4*TClk	0.5*TClk	0.6*TClk	ns
SPI_CS_N下降沿到SPI_CLK上升沿的建立时间	T2	15	-	-	ns
SPI_CLK下降沿到SPI_CS_N上升沿到的保持时间	T3	10	-	-	ns
SPI_CLK下降沿到SPI_MOSI发送数据有效的延时	T4	0	-	-7	ns
SPI_MISO有效到SPI_CLK上升沿的建立时间	T5	7	-	-	ns
SPI_CLK上升沿到SPI_MISO无效的保持时间	T6	6	-	-	ns

5.6 MDIO 时序参数

图 5-6 MDIO 接口读时序图

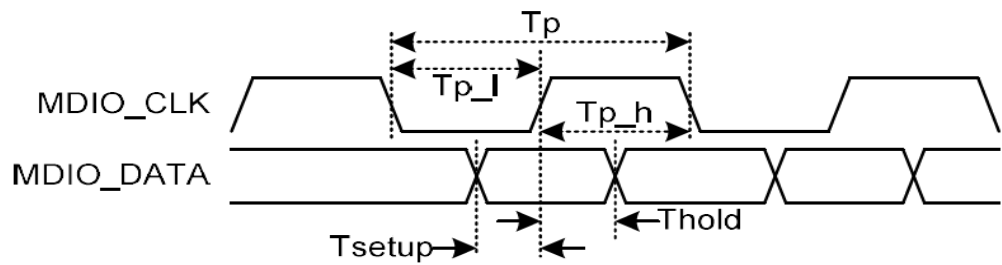


表 5-4 MDIO 接口读时序参数

参数	符号	最小值	最大值	单位
MDIO_CLK时钟周期	T_p	400	400	ns
MDIO_CLK的高电平宽度	T_{p_h}	0.375	0.625	cycle
MDIO_CLK的低电平宽度	T_{p_l}	0.375	0.625	cycle
MDIO_DATA相对MDIO_CLK建立时间	T_{setup}	19	-	ns
MDIO_DATA相对MDIO_CLK保持时间	T_{hold}	0	-	ns

图 5-7 MDIO 接口写时序图

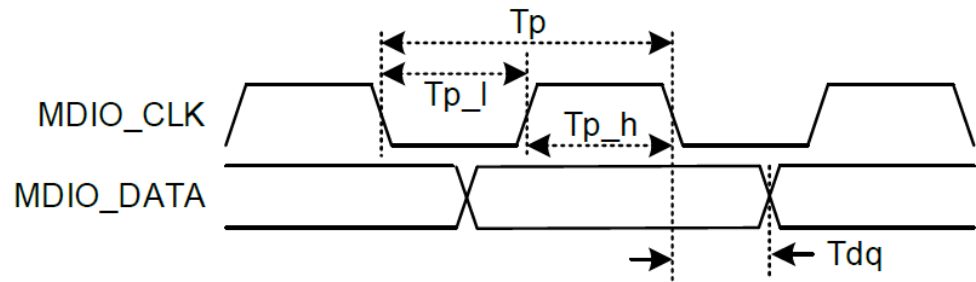


表 5-5 MDIO 接口写时序参数

参数	符号	最小值	最大值	单位
MDIO_CLK时钟周期	T_p	400	400	ns

参数	符号	标准模式 式 (100K b/S) 最小值	标准模式 式 (100 Kb/S) 最大值	快速模式 式 (400 Kb/S) 最小值	快速模式 式 (400 Kb/S) 最大值	单位
SDA、SCL下降时间	tf	-	300	20+0.1 Cb	300	ns
结束建立时间	tSU;ST O	4.0	-	0.6	-	μs
开始与结束之间的总线释放时间	tBUF	4.7	-	1.6	-	μs
总线负载	Cb	-	400	-	400	pF
低电平噪声容限	VnL	0.1VDD	-	0.1VDD	-	V
高电平噪声容限	VnH	0.2VDD	-	0.2VDD	-	V

5.8 JTAG 时序参数

图 5-9 JTAG 接口时序图

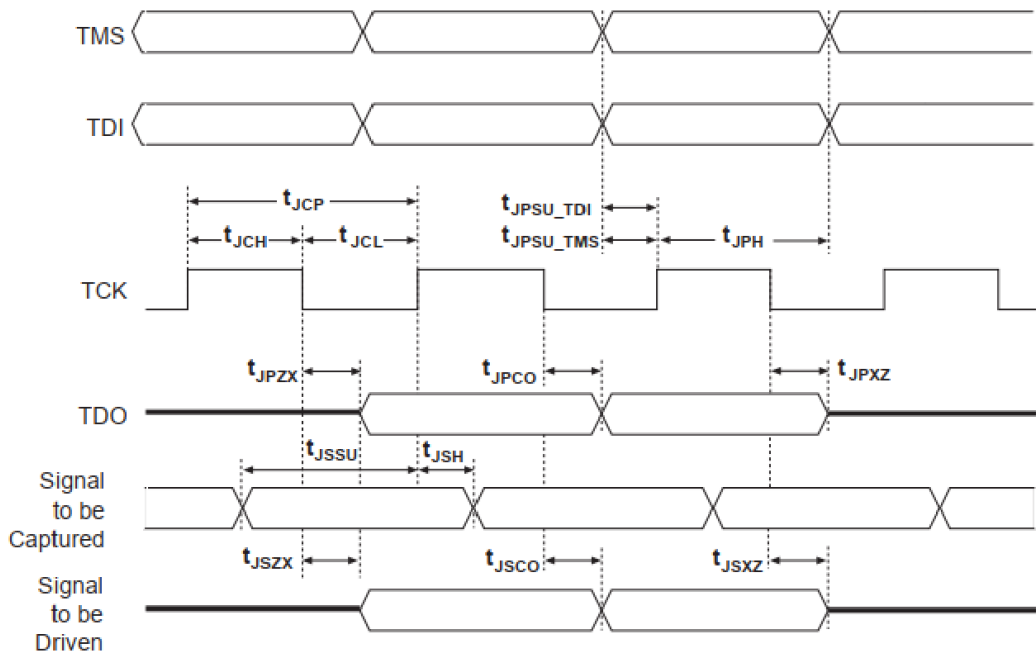


表 5-7 JATG 接口时序参数

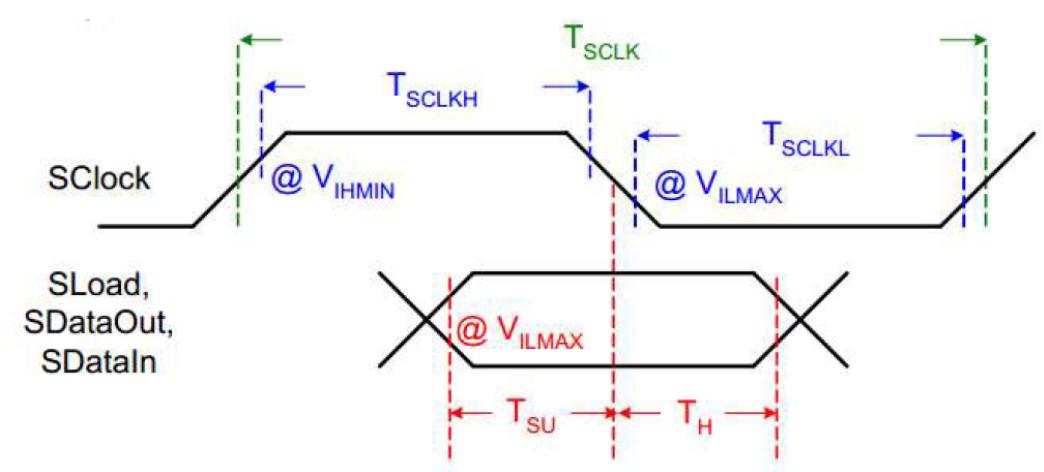
参数	符号	最小值	典型值	单位
TCK时钟周期	t _{JCP}	100	-	ns
TCK 高电平时间	t _{JCH}	48	-	ns
TCK 低电平时间	t _{JCL}	48	-	ns
TDI 建立时间	t _{JPSU_TDI}	6	-	ns
TMS 建立时间	t _{JPSU_TMS}	8	-	ns
JTAG 端口保持时间	t _{JPH}	10	-	ns
JTAG 端口时钟到输出 延时	t _{JPCO}	-	16	ns
JTAG 端口有效输出到 高阻转换时间	t _{JPZX}	-	16	ns
抓取寄存器建立时间	t _{JPXZ}	-	16	ns
抓取寄存器保持时间	t _{JSSU}	-	-	ns
更新寄存器建立时间	t _{JSH}	-	-	ns
更新寄存器时钟到输出 延时	t _{JSCO}	-	-	ns
更新寄存器高阻到有效 输出	t _{JSZX}	-	-	ns
更新寄存器有效输出 到高阻	t _{JSXZ}	-	-	ns

 说明

JTAG接口用作在线升级时，载板端cpld管脚驱动电流为8/4mA时，模组接收端TR不能超时10ns，管脚驱动电流为12/16mA时，模组接收端TR不要超过6ns。

5.9 SGPIO 时序参数

图 5-10 SGPIO 接口时序关系图



SGPIO发送数据用SCLK 的上升沿打出，接收端在下降沿采样数据。SGPIO的接收数据也在下降沿采样。

表 5-8 SGPIO 接口时序参数

参数	符号	最小值	最大值	单位
SCLK 时钟周期	TSCLK	1.6	80	KHz
SCLK 高电平宽度	TSCLKH	4400	TSCLK-4700-TR - TF	ns
SCLK 低电平宽度	TSCLKL	4700	TSCLK-4400-TR - TF	ns
上升沿时间	TR	-	300	ns
下降沿时间	TF	-	20	ns
Setup 时间	TSU	200	-	ns
Hold 时间	TH	4400	-	ns

5.10 Hisport 时序参数

Hisport为异步串行通信接口，发送侧采用本地时钟发送，接收侧通过4倍速率采样帧头，然后动态调整采样点进行数据采样。参考CPLD的LVDS参数。

图 5-11 Hisport 协议时序图

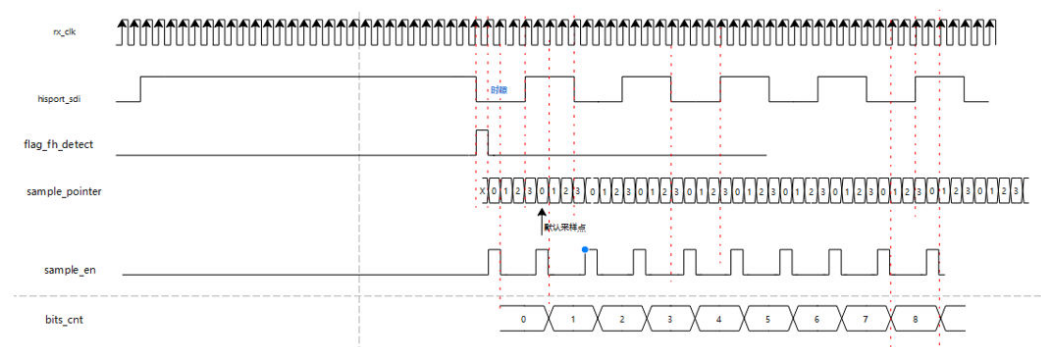


图 5-12 LVDS 差分信号波形

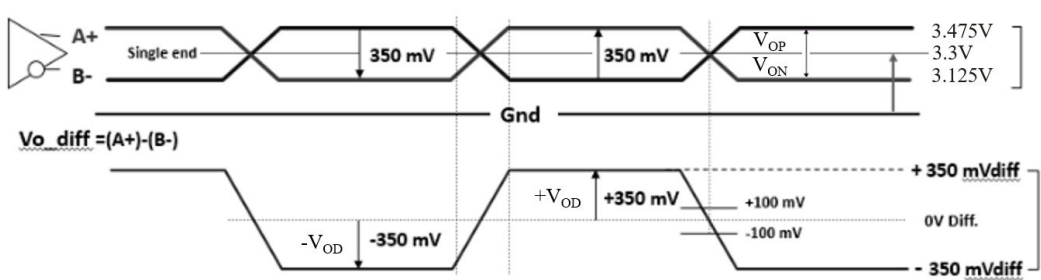


表 5-9 LVDS 参数推荐表

参数	描述	测试条件	最小	典型	最大	单位
I_{IN}	输入电流	上电过程	-	-	± 15	μA
R_T	片内端接差分电阻	-	80	100	120	Ω
V_{OD}	标准差分输出摆幅	$ V_{OP} - V_{ON} , R_T = 100\ ohm$	150	250	350	mV
ΔV_{OD}	差分输出摆幅变化	-	-	-	50	mV

说明

当差分输入摆幅大于500mV时，只能使用外接100欧差分匹配电阻。

6 电气特性

6.1 环境参数

6.1 环境参数

表 6-1 工作环境参数

参数	符号	最小值	最大值	单位
存储温度	TS	-40	125	℃
相对湿度	RH	5	95	%
工作温度	T	0	40	℃
长期使用最大结温	TJL	0	105	℃

表 6-2 可靠性参数

参数	符号	参数值
ESD 参数	ESD level/volt	HBM: 500V; CDM: 150V
LatchUp 电流	ILU	I Trigger: 100mA; (25℃) V Trigger: 1.5×VDDmax
可靠性等级	Reliability Grade	0℃ to 105℃ junction temperature with 105C long term junction temperature.
工作时间	Machine Life (kPOH)	100kPOH, thousands of power on hours. 100k POH = 100,000 power on hours (~10yrs) .

7 机械参数

7.1 模组机械要素图及尺寸

7.1 模组机械要素图及尺寸

图 7-1 模组正视图尺寸

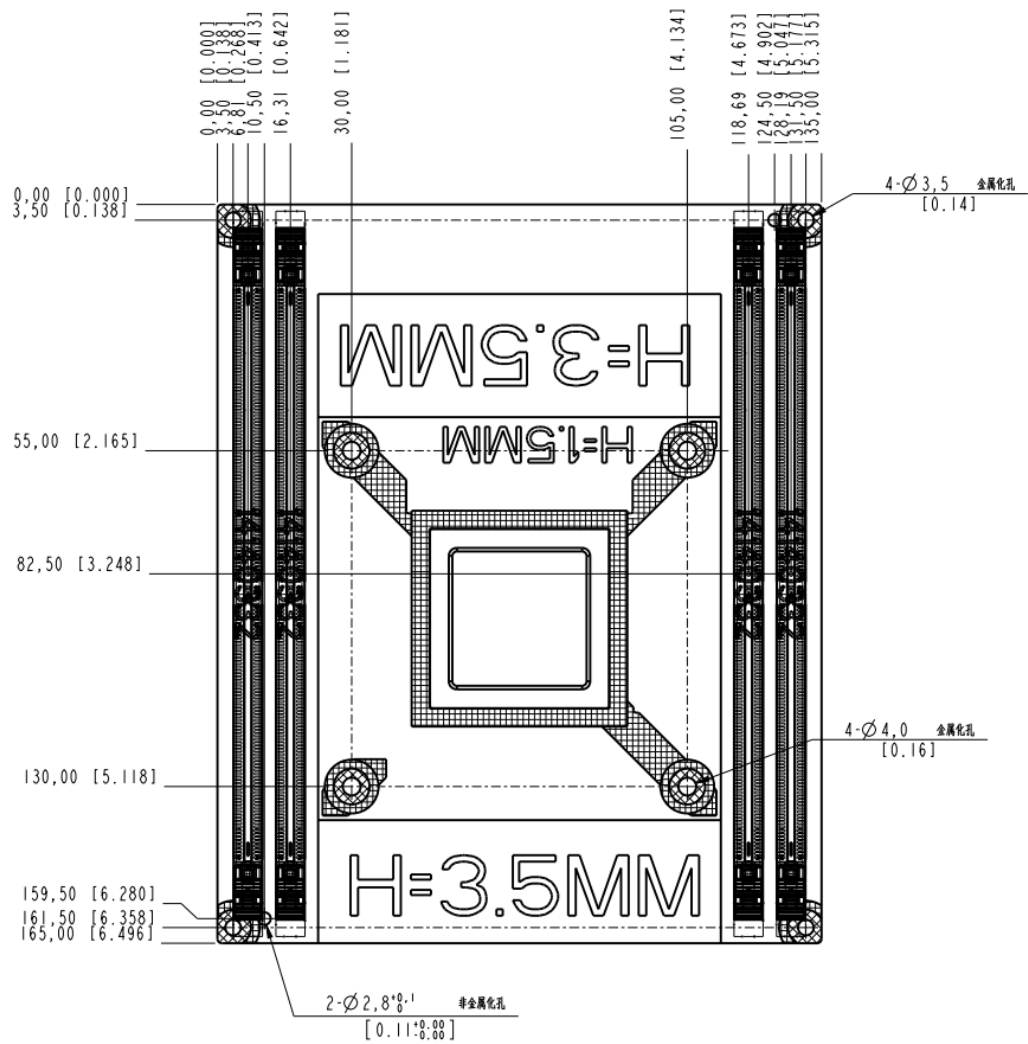
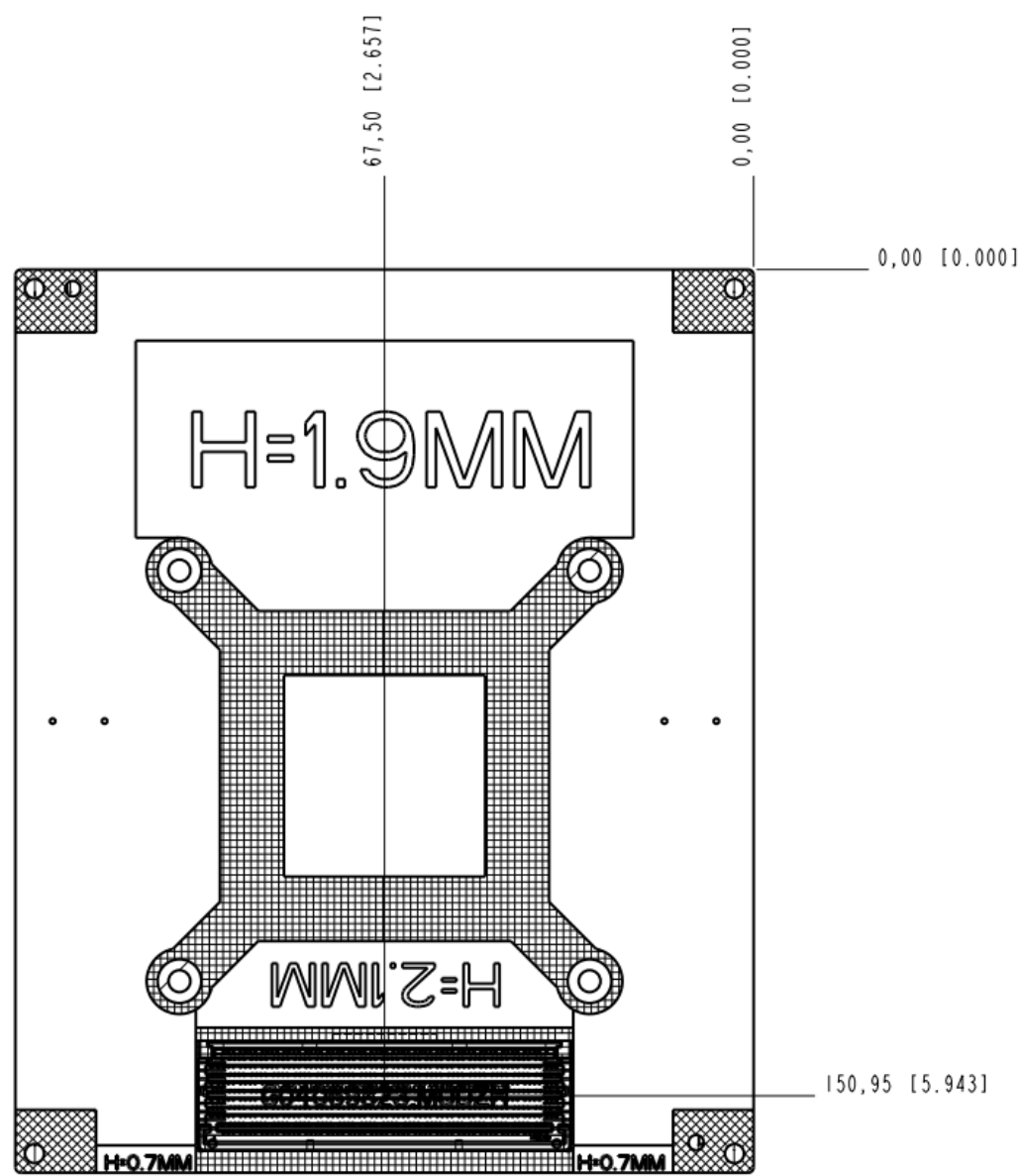


图 7-2 模组俯视图尺寸



8

模组型号和编码信息

表 8-1 模组型号和编码信息

编码	型号	描述
0302080020	S920L08-3209	制成板-S920L08-3209模组（ KP920 24C ）
0302080021	S920L08-3207	制成板-S920L08-3207模组（ KP920 16C ）
0302080022	S920L08-3205	制成板-S920L08-3205模组（ KP920 12C ）
0302080023	S920L08-3203	制成板-S920L08-3203模组（ KP920 8C ）
0302084801	S920L08-3209I	制成板-S920L08-3209I模组（ KP920 24C ）
0302084802	S920L08-3207I	制成板-S920L08-3207I模组（ KP920 16C ）
0302084803	S920L08-3205I	制成板-S920L08-3205I模组（ KP920 12C ）
0302084804	S920L08-3203I	制成板-S920L08-3203I模组（ KP920 8C ）

A 修订记录

文档版本	发布日期	修改说明
01	2025-05-30	第一次正式发布。